

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298662

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H04N 5/335

H01L 27/146

H01L 31/10

(21)Application number : 2000-111140

(71)Applicant : INNOTECH CORP

(22)Date of filing : 12.04.2000

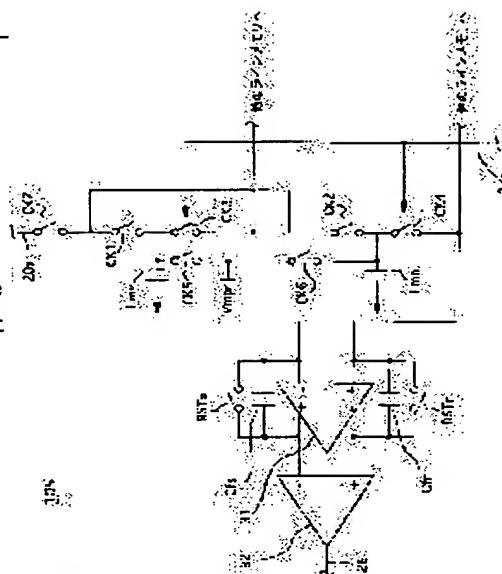
(72)Inventor : MITSUIDA TAKASHI

## (54) SOLID-STATE IMAGE PICKUP DEVICE AND ITS DRIVE METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the influence of variance of sub-threshold current and to reduce the modulation variance of output voltage.

**SOLUTION:** A solid-state image pickup device accumulates the light emission electric charge in a high density embedded layer formed under a channel and modulates the threshold voltage to detect an optical signal, and a signal output circuit 105 outputs the difference voltage between a 1st source potential that undergone the light modulation and a 2nd source potential that undergone no light modulation yet. The circuit 105 has a 1st line memory Lms which is connected to a source area via a 1st switch CK1 and a 2nd line memory Lmn which is connected to the source area via a 2nd switch CK2 and also has a 1st high voltage block switch CK7 between both switches CK1 and CK2 and the source area.



## LEGAL STATUS

[Date of request for examination]

18.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It has the unit pixel equipped with the insulated gate field effect transistor for lightwave signal detection which adjoins light-receiving diode and this light-receiving diode. It has the high concentration buried layer which accumulates the optical generating charge generated by optical exposure for said light-receiving diode formed in the field. the part of said insulated gate field effect transistor -- a near source field -- it is -- the well under a gate electrode -- The solid state image sensor which accumulates said optical generating charge in said high concentration buried layer, is made to modulate threshold voltage, and detects a lightwave signal, The vertical-scanning signal drive scanning circuit which outputs a scan signal to the gate electrode of said insulated gate field effect transistor for lightwave signal detection, The high-pressure-distribution circuit which supplies the electrical potential difference for sweeping out said optical generating charge accumulated in said high concentration buried layer to the source field of said insulated gate field effect transistor, The 1st source potential in the condition of having accumulated said optical generating charge in said high concentration buried layer is inputted into the 1st input. The 2nd source potential in the condition of having swept out said optical generating charge from said high concentration buried layer is inputted into the 2nd input. The solid state camera characterized by having the switching circuit for a high-voltage block which has the signal output circuit which outputs the electrical potential difference corresponding to those inputs, and prevents the input of the high voltage from said high-pressure-distribution circuit in the preceding paragraph of said signal output circuit.

[Claim 2] The switched capacitor circuit where said signal output circuit has the 1st memory, the 2nd memory, the 1st switching circuit, the 2nd switching circuit, the 3rd switching circuit, the 4th switching circuit, and said 1st operational amplifier, It has the operation amplifying circuit which has the 2nd operational amplifier. Said 3rd operational amplifier Have forward, forward [ a negative input terminal and forward ], and a negative output terminal, and a feedback capacitor (Cfs) is connected between said negative input terminals and said forward output terminals. A feedback capacitor (Cfn) is connected between said plus input terminals and said negative output terminals. And said 4th operational amplifier Have forward and a negative input terminal, and an output terminal, and negative [ said ] and a plus input terminal are connected to forward [ of said 3rd operational amplifier ], and a negative output terminal, respectively. Transmit said 1st source potential alternatively by said 1st switching circuit, and said 1st memory is made to memorize. Said 1st source potential is made to input into the negative input terminal of said 3rd operational amplifier alternatively from said 1st memory by said 3rd switching circuit. Transmit said 2nd source potential alternatively by said 2nd switching circuit, and the 2nd memory is made to memorize. Said 2nd source potential is made to input into the plus input terminal of said 3rd operational amplifier alternatively from said 2nd memory by said 4th switching circuit. Said 1st source potential is made to input into the negative input terminal of said 4th operational amplifier from the forward output terminal of said 3rd operational amplifier. And the solid state camera according to claim 1 characterized by making said 2nd source potential input into the plus input terminal of said 4th operational amplifier from the negative output terminal of said 3rd operational amplifier.

[Claim 3] The 1st switched capacitor circuit where said signal output circuit has the 1st memory, the

1st switching circuit, the 3rd switching circuit, and the 3rd operational amplifier, The 2nd memory, the 2nd switching circuit, the 4th switching circuit, and the 2nd switched capacitor circuit that has the 4th operational amplifier, Have an operation amplifying circuit, transmit said 1st source potential alternatively by said 1st switching circuit, and said 1st memory is made to memorize. Said 1st source potential is alternatively transmitted to the input terminal of said 3rd operational amplifier from said 1st memory by said 3rd switching circuit. Transmit said 2nd source potential alternatively by said 2nd switching circuit, and the 2nd memory is made to memorize. Said 2nd source potential is alternatively transmitted to the input terminal of said 4th operational amplifier from said 2nd memory by said 4th switching circuit. The solid state camera according to claim 1 characterized by inputting into said operation amplifying circuit said 1st and 2nd source potentials outputted from said 3rd and 4th operational amplifiers, and outputting the electrical potential difference of the difference of said 1st and 2nd source potentials.

[Claim 4] Said solid state camera is a solid state camera according to claim 2 or 3 characterized by having the video-signal output terminal further connected to the output of the drain electrical-potential-difference drive scanning circuit which supplies a drain electrical potential difference to the drain field of said insulated gate field effect transistor, the horizontal scanning signal input scanning circuit which supplies the signal which controls closing motion of the 3rd and 4th switching circuits of said signal output circuit, and said signal output circuit.

[Claim 5] Claim 2 characterized by connecting to said the 1st memory and said 2nd memory a means to impress a presetting electrical potential difference, respectively thru/or a solid state camera given in any 1 of 4.

[Claim 6] Said the 1st switching circuit and said 2nd switching circuit are [ both ] claim 2 characterized by a p channel MOS transistor and an n channel MOS transistor being the transmission gates by which parallel connection was carried out thru/or a solid state camera given in any 1 of 5.

[Claim 7] They are claim 2 which wiring branches from said source field, is connected with said the 1st switching circuit and said 2nd switching circuit, and is characterized by preparing said switching circuit for a high-voltage block between [ one ] said source fields and branch points of said wiring thru/or a solid state camera given in any 1 of 6.

[Claim 8] Said switching circuit for a high-voltage block consists of the 1st switching circuit for a high-voltage block, and the 2nd switching circuit for a high-voltage block. Wiring branches from said source field and it is connected with said the 1st switching circuit and said 2nd switching circuit. Said 1st switching circuit for a high-voltage block is prepared between the junction of said wiring, and said 1st switching circuit. Said 2nd switching circuit for a high-voltage block is claim 2 characterized by being prepared between said junction and said 2nd switching circuit thru/or a solid state camera given in any 1 of 6.

[Claim 9] The said switching circuit for high-voltage block, said 1st, and 2nd switching circuits for a high-voltage block are solid state cameras according to claim 7 or 8 characterized by being the MOS transistor of a depletion type.

[Claim 10] It has the unit pixel equipped with the insulated gate field effect transistor for lightwave signal detection which adjoins light-receiving diode and this light-receiving diode. It has the high concentration buried layer which accumulates the optical generating charge generated by optical exposure for said light-receiving diode formed in the field. the part of said insulated gate field effect transistor -- a near source field -- it is -- the well under a gate electrode -- The solid state camera which has the solid state image sensor which accumulates said optical generating charge in said high concentration buried layer, is made to modulate threshold voltage, and detects a lightwave signal is used. The are recording period which stores up the optical generating charge generated by optical exposure in said high concentration buried layer for said light-receiving diode, The read-out period which reads the lightwave signal based on the optical generating charge accumulated in said high concentration buried layer, Are the drive approach of the solid state camera which repeats the initialization period which

discharges the optical generating charge which remains to said high concentration buried layer in this order, and reads a lightwave signal, and it sets at the aforementioned read-out period. After accumulating an optical generating charge in said high concentration buried layer, the 1st memory is made to memorize the 1st source potential outputted from the source field of said insulated gate field effect transistor. Subsequently In said initialization period, after making connectionless between said source field and said 1st memory and between said source field and said 2nd memory The optical generating charge which impressed the electrical potential difference to said source field, and was accumulated in said high concentration buried layer is made to discharge. Subsequently The 2nd memory is made to memorize the 2nd source potential outputted from the source field of said insulated gate field effect transistor before said are recording period. Subsequently The drive approach of the solid state camera characterized by reading the 1st and 2nd source potentials which said 1st and 2nd memory was made to memorize in said are recording period, and outputting the electrical potential difference of the difference of said 1st source potential and said 2nd source potential.

[Claim 11] It has the unit pixel equipped with the insulated gate field effect transistor for lightwave signal detection which adjoins light-receiving diode and this light-receiving diode. It has the high concentration buried layer which accumulates the optical generating charge generated by optical exposure for said light-receiving diode formed in the field. the part of said insulated gate field effect transistor -- a near source field -- it is -- the well under a gate electrode -- The solid state camera which has the solid state image sensor which accumulates said optical generating charge in said high concentration buried layer, is made to modulate threshold voltage, and detects a lightwave signal is used. The are recording period which stores up the optical generating charge generated by optical exposure in said high concentration buried layer for said light-receiving diode, The read-out period which reads the lightwave signal based on the optical generating charge accumulated in said high concentration buried layer, Are the drive approach of the solid state camera which repeats the initialization period which discharges the optical generating charge which remains to said high concentration buried layer in this order, and reads a lightwave signal, and it sets at the aforementioned read-out period. After accumulating an optical generating charge in said high concentration buried layer and making the 1st memory memorize a presetting electrical potential difference, said 1st memory is made to memorize the 1st source potential outputted from the source field of said insulated gate field effect transistor. Subsequently In said initialization period, after making connectionless between said source field and said 1st memory and between said source field and said 2nd memory The optical generating charge which impressed the electrical potential difference to said source field, and was accumulated in said high concentration buried layer is made to discharge. Subsequently Before said are recording period, after making the 2nd memory memorize a presetting electrical potential difference, make said 2nd memory memorize the 2nd source potential outputted from the source field of said insulated gate field effect transistor, next it sets to said are recording period. The drive approach of the solid state camera characterized by reading the 1st and 2nd source potentials which said 1st and 2nd memory was made to memorize, and outputting the electrical potential difference of the difference of said 1st source potential and said 2nd source potential.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera using MOS mold image sensors and its drive approach of the threshold voltage modulation technique used for a video camera, an electronic camera, an image input camera, a scanner, or facsimile in more detail about a solid state camera and its drive approach.

[0002]

[Description of the Prior Art] Since semi-conductor image sensors, such as CCD mold image sensors and MOS mold image sensors, are excellent in mass-production nature, they are applied to almost all images input device equipment with progress of the detailed-ized technique of a pattern. MOS mold image sensors are improved taking advantage of the advantage that power consumption is small and can create a sensor component and a circumference circuit element by the same CMOS technology especially in recent years compared with CCD mold image sensors.

[0003] In view of the trend of such a world, the applicant for this patent improved MOS mold image sensors, performed patent application (Japanese Patent Application No. No. 186453 [ ten to ]) about the sensor component which has a carrier pocket (high concentration buried layer) under a channel field, and has acquired the patent (registration number No. 2935492). These MOS mold image sensors have circuitry shown in patent (registration number No. 2935492) drawing 8 (a), and in that actuation, as similarly shown in drawing 8 (b), they pass through an initialization period—are recording period—read-out period. Each electrode is made to impress and depletion-ize high reverse voltage at an initialization period, and the optical generating electron hole which remains in the hole pocket 25 is made to emit. Make an are recording period produce an optical generating electron hole by optical exposure, it is made to accumulate in the hole pocket 25, and the lightwave signal which is proportional to the accumulated dose of an optical generating electron hole at a read-out period is detected.

[0004] By invention concerning this patent (registration number No. 2935492), as shown in drawing 11 (a) of this application, and (b), in the combination of the MOS transistor for lightwave signal detection, and active loads, such as a constant current source established outside, the impedance of a signal is lowered by the source follower, the memory space which does not detect and illustrate source potential is made to charge, and the voltage signal is outputted.

[0005]

[Problem(s) to be Solved by the Invention] However, a pixel is made detailed, if wiring width of face becomes thin, parasitism resistance will rise, and it becomes a problem as dispersion in the voltage drop in wiring by series resistance, and between wiring. Then, since the ratio occupied to the source current of the subthreshold level current (property in front of the standup of the drain current in a drain electrical-potential-difference-drain current characteristic) by drain induction barrier fall (DIBL) will increase relatively and output voltage will be governed by the subthreshold level current when channel length is short if a current value is decreased in order to control a part for a voltage drop, dispersion in the modulation of output voltage increases.

[0006] This invention is created in view of the trouble of the above-mentioned conventional technique, controls the effect of dispersion in a subthreshold level current, and offers the solid state camera which can reduce modulation dispersion of output voltage, and its drive approach.

[0007]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention relates to a solid state camera, and as shown in drawing 1 , it has each unit pixel 101 containing the insulated gate field effect transistor 112 for lightwave signal detection (MOS transistor) which adjoins the light-receiving diode 111 and the light-receiving diode 111 as that basic configuration. the well which connected the light-receiving diode 111 and MOS transistor 112 mutually in each unit pixel 101 -- it forms in Fields 15a and 15b -- having -- the well of the periphery of the source field of MOS transistor 112 -- it is characterized by having the high concentration buried layer (carrier pocket) 25 which accumulates an optical generating charge into field 15b.

[0008] The gate electrode of MOS transistor 112 was connected to the vertical-scanning signal (VSCAN) drive scanning circuit 102, and the source field is connected with the signal output circuit 105 through a perpendicular output line. And as shown in drawing 2 , a source field is directly linked with the 1st Rhine memory (the 1st memory) Lms and the 2nd Rhine memory (the 2nd memory) Lmn which consist of a capacitor in the above-mentioned signal output circuit 105, and it is characterized by not having active loads, such as a constant current source. Furthermore, it has one or two switched capacitor circuits in the signal output circuit 105, and is characterized by having composition which outputs the electrical potential difference of the difference of the source potential after the light modulation memorized by the 1st and 2nd Rhine memory Lms and Lmn through this switched capacitor circuit, and the source potential in front of light modulation.

[0009] Furthermore, the detail of the above-mentioned signal output circuit 105 is shown in drawing 2 . As shown in drawing 2 , perpendicular output line 20a linked to the source field of MOS transistor 112 for lightwave signal detection branched, one connected with the end child of the 1st Rhine memory Lms who memorizes the electrical potential difference which contains a lightwave signal electrical potential difference and noise voltage through 1st switching circuit CK1, and others have connected with the end child of the 2nd Rhine memory Lmn who memorizes noise voltage through 2nd switching circuit CK2.

[0010] And the preceding paragraph of the signal output circuit 105 is equipped with the switching circuit for a high-voltage block which prevents the input of the high voltage from the high-pressure-distribution circuit 108. That is, it is between 1st switching circuit CK1 and 2nd switching circuit CK2, and the source field of MOS transistor 112 for lightwave signal detection, and is characterized by to have one switching circuit CK7 for a high-voltage block on perpendicular output line 20a, or having the 1st and 2nd switching circuits CK8 and CK9 for a high-voltage block, respectively, in [ branching wiring from perpendicular output line 20a ].

[0011] In this case, it is characterized by both 1st switching circuit CK1 and 2nd switching circuit CK2 being the transmission gates where parallel connection of a p channel MOS transistor and the n channel MOS transistor was carried out. Moreover, the end child of the 1st Rhine memory Lms connected with the negative input terminal of an operational amplifier (the 3rd operational amplifier) 31 through 3rd switching circuit CK3 controlled by HSCAN supply line 27a, and the end child of the 2nd Rhine memory Lmn has connected with the plus input terminal of the 1st operational amplifier 31 through 4th another switching circuit CK4 controlled by HSCAN supply line 27a. Furthermore, the forward output terminal of the 1st operational amplifier 31 is connected to the negative input terminal of the 2nd operation amplifying circuit 32, and the negative output terminal of the 1st operational amplifier 31 is connected to the plus input terminal of the 2nd operation amplifying circuit 32. The output terminal of the 2nd operation amplifying circuit 32 is connected to the video-signal output terminal 107 through the water Hiraide line of force 26. In addition, although the 1st and 2nd switched capacitor circuits were unified by the 1st one operational amplifier 31 and the configuration of one switched capacitor circuit is taken above, you may divide into two switched capacitor circuits, the 1st and the 2nd, using the 3rd and 4th operational amplifiers.

[0012] Moreover, a means to impress a presetting electrical potential difference is connected to the 1st and 2nd Rhine memory Lms and Lmn. The are recording period which stores up the optical generating carrier generated by optical exposure in a high concentration buried layer in the drive approach of this

invention using the above-mentioned solid state camera, The read-out period which reads the lightwave signal based on the optical generating carrier accumulated in the high concentration buried layer, Are the drive approach of the solid state camera which repeats the initialization period which discharges the optical generating carrier which remains to a high concentration buried layer in this order, and reads a lightwave signal, and it sets at a read-out period. After accumulating an optical generating carrier in a high concentration buried layer, the 1st Rhine memory is made to memorize the 1st source potential in which the MOS transistor for lightwave signal detection carried out a source field sky output.

Subsequently In an initialization period, after making connectionless both between a source field and the 1st Rhine memory and between a source field and the 2nd Rhine memory The optical generating charge which impressed the electrical potential difference to the source field, and was accumulated in the high concentration buried layer is made to discharge. Subsequently The 2nd source potential outputted from the source field of the MOS transistor for lightwave signal detection before the are recording period is made to memorize. Subsequently The 1st and 2nd source potentials which the 1st and 2nd Rhine memory was made to memorize are read, and the electrical potential difference of the difference of the 1st source potential and the 2nd source potential is outputted.

[0013] Since the MOS transistor for lightwave signal detection of the threshold modulation mold which prepares a high concentration buried layer in the bottom of a channel, and accumulates an optical generating carrier in the bottom of a channel as an MOS transistor for lightwave signal detection in a pixel is used according to above-mentioned this invention, the channel length is long. For this reason, since the electric field from a drain field are also eased, a drain induction barrier fall (DIBL) is controlled. Therefore, since the threshold shift is small, as a result fluctuation of a subthreshold level current is also small, the charging current can be minimized. Thereby, since the potential fall by parasitism resistance of wiring etc. can be controlled, direct connection with a capacitive load is attained.

[0014] Moreover, although the time amount of finite is needed for the writing to the Rhine memory, the write-in time amount to the Rhine memory is sharply short as compared with a blanking period or a read-out period. For this reason, the writing to the Rhine memory can be performed between blanking periods etc. By the way, although it will go into the Rhine memory which those parasitic capacitance should read at juxtaposition if two or more Rhine memory is arranged in juxtaposition, the 1st and 2nd source potentials which the Rhine memory which should be read was made to memorize are outputted through a switched capacitor circuit. At this time, in a switched capacitor circuit, since charge transfer is performed by the operational amplifier 31, the parasitic capacitance seen from the output side of a switched capacitor circuit becomes small. For this reason, it reads, even if it arranges two or more memory devices in juxtaposition, and a rate is hardly influenced. Moreover, since the effect of parasitic capacitance is small, there is also an advantage that the maximum gain is acquired.

[0015] Moreover, by connecting to the 1st and 2nd Rhine memory a means to impress a presetting electrical potential difference The presetting electrical potential difference higher [ than touch-down potential ] and lower than the source potential made to memorize before making the 1st and 2nd Rhine memory memorize source potential is made to memorize. By this Also while impressing touch-down potential to the gate electrode of the MOS transistor for lightwave signal detection, actuation of the MOS transistor for lightwave signal detection can be suppressed certainly, and leakage current can be controlled.

[0016] Moreover, it is distorted and enables it to let a higher signal level pass that there is nothing by using the transmission gate where parallel connection of a p channel MOS transistor and the n channel MOS transistor was carried out as [ both ] the 1st switching circuit and 2nd switching circuit. Since bias of the pn junction of the source / drain field of one transistor is carried out to the forward direction among the CMOS transistors which constitute a transmission gate, a transmission gate stops in this case, operating normally, if the high electrical potential difference for initialization is impressed to the source field of the MOS transistor for lightwave signal detection.

[0017] In order to prevent this, it is between the 1st switching circuit and the 2nd switching circuit, and



the source field of the MOS transistor for lightwave signal detection, and one switching circuit for a high-voltage block is put in on the perpendicular output line. Or the 1st and 2nd switching circuits for a high-voltage block are put in, respectively between the 1st switching circuit and the source field of the MOS transistor for lightwave signal detection, and between the 2nd switching circuit and the source field of the MOS transistor for lightwave signal detection. Such a problem can be prevented by making connectionless both between the 1st switching circuit and source fields and between the 2nd switching circuit and source fields at the initialization period which impresses the high electrical potential difference for making by this the optical generating charge accumulated in the high concentration buried layer sweep out.

[0018] in addition, a well -- when a field etc. is a conductivity type contrary to the above (i.e., when a high concentration buried layer is n mold), a high concentration buried layer serves as an electron pocket (carrier pocket), and will accumulate an optical generating electron.

[0019]

[Embodiment of the Invention] Below, it explains, referring to a drawing about the gestalt of operation of this invention. Drawing 8 is the top view showing the component layout in the unit pixel of the MOS mold image sensors concerning the gestalt of operation of this invention. As shown in drawing 8, the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection are adjoined and formed in the unit pixel 101. In addition, the thing of the MOS transistor for lightwave signal detection may only be hereafter called MOS transistor 112. As MOS transistor 112, the n channel MOS (nMOS) which has low concentration drain structure (LDD structure) is used.

[0020] the well from which these light-receiving diode 111 and MOS transistor 112 differ, respectively -- a field, i.e., the 1st well, -- field 15a and the 2nd well -- it forms in field 15b -- having -- those wells -- Fields 15a and 15b are connected mutually. the 1st well of the part of the light-receiving diode 111 -- field 15a constitutes a part of generating field of the charge by optical exposure. the 2nd well of the part of MOS transistor 112 -- field 15b constitutes the gate field to which the threshold voltage of a channel can be changed with the potential given to this field 15b.

[0021] The part of MOS transistor 112 has low concentration drain (LDD) structure. The drain fields 17a and 17b are formed so that the periphery section of the ring-like gate electrode 19 may be surrounded, and the source field 16 is formed so that it may be surrounded by the inner circumference of the ring-like gate electrode 19. The impurity range 17 of the light-receiving diode 111 which low-concentration drain field 17a extends, and has the almost same high impurity concentration as low-concentration drain field 17a is formed. namely, the 1st and 2nd wells which connected mutually an impurity range 17 and low-concentration drain field 17a -- it is formed in one so that most fields may start the surface of Fields 15a and 15b. Moreover, high-concentration drain field 17b as a contact layer is formed so that a light sensing portion may be avoided to the outside periphery of an impurity range 17 and low-concentration drain field 17a and it may connect with low concentration drain field 17a.

[0022] furthermore, the carrier pocket (high concentration buried layer) 25 which is the description of these MOS mold image sensors -- the 2nd well under the gate electrode 19 -- it is in field 15b, and it is formed so that the source field 16 may be surrounded in the periphery of the source field 16. The drain fields 17a and 17b are connected with the drain electrical-potential-difference (VDD) supply line (or drain electrode) 22 through contact layer 17b of low resistance, the gate electrode 19 is connected to the vertical-scanning signal (VSCAN) supply line 21, and the source field 16 is connected to the perpendicular output line (or source electrode) 20.

[0023] Moreover, fields other than light-receiving aperture 24 of the light-receiving diode 111 are shaded by the metal layer (light-shielding film) 23. It sets in the component actuation for the lightwave signal detection in the above-mentioned MOS mold image sensors, and is an are recording period-read-out period-initialization period (\*\*\*\* period)-are recording period. -- A series of processes of an are recording period-read-out period-initialization period (\*\*\*\* period) are repeated like .. In addition, with the gestalt of this operation, the blanking period is established between the initialization period (\*\*\*\*



period) and the are recording period.

[0024] in an are recording period, a carrier is generated by optical exposure -- making -- the inside of a carrier -- an electron hole (hole) -- the 1st and 2nd wells -- the inside of field 15a and 15b is moved, and it is made to accumulate in the carrier pocket 25 While impressing the forward electrical potential difference of +2-3V to the drain fields 17a and 17b about, a low forward or negative electrical potential difference to which MOS transistor 112 maintains a cut-off condition to the gate electrode 19 is impressed. This are recording period is also a period to which the electrical potential difference of a difference with the 2nd source potential before the 1st source potential and lightwave signal which were modulated with the lightwave signal made to memorize, respectively go into the 1st and 2nd Rhine memory (the 1st and 2nd memory) is made to output.

[0025] Change of the threshold voltage of MOS transistor 112 by the optical generating charge accumulated in the carrier pocket 25 is read as change of source potential, and the 1st Rhine memory is made to memorize in a read-out period. While impressing the forward electrical potential difference of +2-3V to the drain fields 17a and 17b about so that MOS transistor 112 may operate by the saturation state, the forward electrical potential difference of +2-3V is about impressed to the gate electrode 19.

[0026] In an initialization period, before accumulating an optical generating charge (optical generating carrier), an electron hole, an electron, etc. which carbonate an optical generating charge, an acceptor, a donor, etc. to whom read-out finishes and remains, or are captured by surface level discharge the residual charge before read-out of a lightwave signal out of a semi-conductor, and empty the carrier pocket 25. The about [ 7-8V ] forward high voltage is usually impressed to the source field 16, the drain fields 17a and 17b, or the gate electrode 19 more than abbreviation +5V.

[0027] It is a period required for a cuff of the horizontal scanning prepared between the initialization period and the are recording period, and the 2nd Rhine memory is made to memorize the 2nd source potential in the condition of having swept out the optical generating charge from the carrier pocket 25 . using this period, in a blanking period. Next, the device structure of the MOS mold image sensors concerning the gestalt of operation of this invention is explained using a sectional view.

[0028] Drawing 9 (a) is the sectional view showing the device structure of the MOS mold image sensors concerning the gestalt of operation of this invention equivalent to the sectional view which meets the A-A line of drawing 8 . Drawing 9 (b) is drawing showing the situation of potential along a semi-conductor substrate front face. As shown in drawing 9 (a), on the high-impurity-concentration 1x substrate 11 which consists of three or more [ 1018cm - ] p-type silicon, 3 about [ 1x1015cm high impurity concentration to ] n mold silicon is grown epitaxially, and an epitaxial layer 12 is formed.

[0029] Two or more formation of the unit pixel 101 which contains the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection in this epitaxial layer 12 is carried out. And the field insulator layer (isolation insulator layer) 14 is formed in epitaxial layer 12 front face between the adjoining unit pixels 101 of selective oxidation (LOCOS) so that each unit pixel 101 may be separated. Furthermore, it is the lower part of the field insulator layer 14, and the component isolation region 13 of p mold is formed so that the epitaxial layer 12 of n mold may be divided into the substrate 11 upper part, including the whole interface of an epitaxial layer 31 and the field insulator layer 14.

[0030] Next, drawing 9 (a) explains the detail of the light-receiving diode 111. The light-receiving diode 111 consists of surfaces of 1st well field 15a of p mold formed in the epitaxial layer 12 and the surface of an epitaxial layer 12, and 1st well field 15a in the impurity range 17 of n mold which extends on the surface of an epitaxial layer 12.

[0031] The impurity range 17 is formed so that it may extend from low-concentration drain field 17a of MOS transistor 112 for lightwave signal detection which has low concentration drain (LDD) structure. In the are recording period which gave [ above-mentioned ] explanation, it connects with the drain electrical-potential-difference supply line 22, and bias of the impurity range 17 is carried out to electropositive potential. this time -- an impurity range 17 and the 1st well -- an interface with field 15a to a depletion layer -- the 1st well -- the whole field 15a is reached at the epitaxial layer 12 of breadth

and n mold. on the other hand -- the interface of a substrate 11 and an epitaxial layer 12 to a depletion layer -- an epitaxial layer 12 -- breadth and the 1st well -- field 15a is reached.

[0032] the 1st well -- since field 15a and an epitaxial layer 12 are connected with gate field 15b of MOS transistor 112, they can use effectively these holes generated by light as a charge for the threshold voltage modulation of MOS transistor 112. if it puts in another way -- the 1st well -- field 15a and the epitaxial layer 12 whole serve as a carrier generating field by light.

[0033] Moreover, the light-receiving diode 111 has the embedded structure to the electron hole (hole) generated by light in that the carrier generating field by light is arranged under an impurity range 17 in the above-mentioned light-receiving diode 111. Therefore, it is not influenced by the semi-conductor layer front face with many trapping levels, but reduction of a noise can be aimed at. Next, drawing 9 (a) explains the detail of MOS transistor 112 for lightwave signal detection.

[0034] the 2nd well of p mold with which MOS transistor 112 part was formed sequentially from the bottom in the substrate 11 of p mold, the epitaxial layer 12 of n mold formed on this substrate 11, and this epitaxial layer 12 -- it has field 15b. This MOS transistor 112 has the structure where low-concentration drain field 17a of n mold surrounds the periphery of the ring-like gate electrode 19. Low-concentration drain field 17a of n mold is formed in one with the impurity range 17 of n mold. It connects with this impurity range 17, and high-concentration drain field 17b prolonged even in the component isolation region 13 and the isolation insulator layer 14 is formed in the outside periphery of the impurity range 17 which extends from low-concentration drain field 17a. High-concentration drain field 17b becomes the contact layer of the drain electrode 22.

[0035] Moreover, the source field 16 of n mold is formed so that it may be surrounded with the ring-like gate electrode 19. The center section serves as high concentration and, as for the source field 16, the periphery serves as low concentration. The source electrode 20 is connected to the source field 16. the gate electrode 19 -- the 2nd well between drain field 17a and the source field 16 -- it is formed through gate dielectric film 18 on field 15b. the 2nd well under the gate electrode 19 -- the surface of field 15b serves as a channel field. Furthermore, in the usual operating voltage, in order to hold a channel field in a reversal condition or the DEPURESHON condition, n mold impurity of the suitable concentration for a channel field is introduced, and channel dope layer 15c is formed.

[0036] the 2nd well under the channel field -- it is in field 15b, the direction of channel length is the periphery of a field 16, i.e., a source field, a part, and the source field 16 is surrounded -- as -- p+ The carrier pocket (high concentration buried layer) 25 of a mold is formed. This p+ The carrier pocket 25 of a mold can be formed with ion-implantation. the 2nd well below the channel field which produces the carrier pocket 25 on a front face -- it is formed in field 15b. As for the carrier pocket 25, forming so that a channel field may not be started is desirable.

[0037] Above-mentioned p+ In the carrier pocket 25 of a mold, since the potential over an optical generating hole becomes low among optical generating charges, when an electrical potential difference higher than gate voltage is impressed to the drain fields 17a and 17b, an optical generating hole can be brought together in this carrier pocket 25. An optical generating hole is accumulated in the carrier pocket 25 at drawing 9 (b), and the potential Fig. in the condition that induction of the electron was carried out to the channel field, and the reversal field is generated is shown. The threshold voltage of MOS transistor 112 changes with these stored charge. Therefore, detection of a lightwave signal can be performed by detecting change of this threshold voltage.

[0038] by the way, the electric field which impress a high electrical potential difference to the gate electrode 19, and are produced by it in the initialization period of the above-mentioned carrier -- the 2nd well -- the carrier which remains in field 15b is swept out to the substrate 11 side. in this case, the impressed electrical potential difference -- channel dope layer 15c of a channel field, and the 2nd well -- an interface with field 15b to a depletion layer -- the 2nd well -- field 15b -- the interface of breadth and the substrate 11 of p mold, and an epitaxial layer 12 to a depletion layer -- the 2nd well -- it spreads in the epitaxial layer 12 under field 15b. therefore, the range where the electric field by the

electrical potential difference impressed to the gate electrode 19 reach -- mainly -- the 2nd well -- field 15b'and the 2nd well -- the epitaxial layer 12 under field 15b is covered.

[0039] Next, with reference to drawing 1 , the configuration of the whole MOS mold image sensors using the unit pixel of the above-mentioned structure is explained. Drawing 1 shows the circuitry Fig. of the MOS mold image sensors in the gestalt of operation of this invention. As shown in drawing 1 , these MOS mold image sensors have taken the configuration of a two-dimensional array sensor, and the unit pixel 101 of the above-mentioned structure is arranged by the direction of a train, and the line writing direction in the shape of a matrix.

[0040] Moreover, the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) and the drive scanning circuit 103 of a drain electrical potential difference (VDD) are arranged across the pixel field at the right and left. every one vertical-scanning signal supply lines 21a and 21b have come out from the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) for every line. Each vertical-scanning signal supply lines 21a and 21b are connected to the gate of MOS transistor 112 in all the unit pixels 101 on a par with a line writing direction.

[0041] moreover, every one drain electrical-potential-difference supply lines (VDD supply line) 22a and 22b have come out from the drive scanning circuit 103 of a drain electrical potential difference (VDD) for every line. Each drain electrical-potential-difference supply lines (VDD supply line) 22a and 22b are connected to the drain of MOS transistor 112 for lightwave signal detection in all the unit pixels 101 on a par with a line writing direction. Moreover, different perpendicular output lines 20a and 20b for every train are formed, and each perpendicular output lines 20a and 20b are connected to the source of MOS transistor 112 in all the unit pixels 101 located in a line in the direction of a train, respectively.

[0042] Furthermore, the source field of MOS transistor 112 is connected with the signal output circuit 105 through a perpendicular output line for every train. And as shown in drawing 2 , the source field is directly linked with the Rhine memory which consists of an input capacitor in the above-mentioned signal output circuit 105. It is characterized by having not connected active loads, such as a constant current source, to a source field.

[0043] The video signal (Vout) which does not contain the noise component by residual charge which drove MOS transistor 112 of sequential \*\* each unit pixel 101, and is proportional to the amount of incidence of light with a vertical-scanning signal (VSCAN) and a horizontal scanning signal (HSCAN) is read from the signal output circuit 105. The detail of the above-mentioned signal output circuit 105 is shown in drawing 2 . As shown in drawing 2 , perpendicular output line 20a linked to the source field of MOS transistor 112 for lightwave signal detection branches. One connects with the end child of the 1st Rhine memory Lms who memorizes the 1st source potential which contains a lightwave signal electrical potential difference and the noise voltage by the residual charge before are recording of an optical generating charge through 1st switching circuit CK1. Others have connected with the end child of the 2nd Rhine memory Lmn who memorizes only the above-mentioned noise voltage through 2nd switching circuit CK2. Furthermore, it has switching circuit CK7 for a high-voltage block on perpendicular output line 20a of the preceding paragraph of the signal output circuit 105, i.e., this side of a junction. Thereby, the high voltage from the pressure-up scanning circuit (high-pressure-distribution circuit) 108 explained later can prevent now being inputted into the signal output circuit 105 alternatively.

[0044] Moreover, the end child of the 1st Rhine memory Lms connected with the negative input terminal of the 1st operational amplifier 31 through 3rd switching circuit CK3 controlled by HSCAN supply line 27a, and the end child of the 2nd Rhine memory Lmn has connected with the plus input terminal of the 1st operational amplifier 31 through 4th another switching circuit CK4 controlled by HSCAN supply line 27a. Furthermore, the forward output terminal of the 1st operational amplifier 31 was connected to the negative input terminal of the 2nd operational amplifier 32, and the negative output terminal of the 1st operational amplifier 31 is connected to the plus input terminal of the 2nd operational amplifier 32. The output terminal of the 2nd operational amplifier 32 is connected to the video-signal output terminal 107 through the water Hiraide line of force 26.

[0045] Parallel connection of the feedback capacitor Cfs and the reset switch circuit RSTs is carried out between the negative input terminal of the 1st operational amplifier 31, and a forward output terminal, and parallel connection of the feedback capacitor Cfn and the reset switch circuit RSTn is carried out between the plus input terminal and the negative output terminal. Moreover, it has a circuit for impressing the presetting electrical potential difference Vmpr to the 1st and 2nd Rhine memory Lms and Lmn. Before making the 1st and 2nd Rhine memory Lms and Lmn memorize source potential by this, it is higher than touch-down potential, and the presetting electrical potential difference lower than the source potential made to memorize can be made to be able to memorize, also while impressing touch-down potential to the gate electrode 19 of the insulated gate field effect transistor 112 for lightwave signal detection, actuation of an insulated gate field effect transistor 112 can be suppressed certainly, and leakage current can be controlled.

[0046] The 1st and 3rd switching circuits CK1 and CK3, the 1st Rhine memory Lms, and the 1st operational amplifier 31 of a part to which the feedback capacitor Cfs and the reset switch circuit RSTs were connected constitute the 1st switthed capacitor circuit. Moreover, the 2nd and 4th switching circuits CK2 and CK4, the 2nd Rhine memory Lmn, and the 1st operational amplifier 31 of a part to which the feedback capacitor Cfn and the reset switch circuit RSTn were connected constitute the 2nd switthed capacitor circuit. The reset switch circuits RSTs and RSTn are closed when removing the charge charged by the feedback capacitors Cfs and Cfn.

[0047] It is independent about an MOS transistor etc. so that circuit actuation explained to the gestalt of this operation as it was shown in drawing 3 in fact, although it is typically shown in a form like drawing 2 in order to show functionally that the switching circuits in the above-mentioned signal output circuit 105 (CK1 thru/or CK7, RSTs, RSTn) open and close an applicable wiring way may be performed appropriately, or it combines, and uses. Here, the so-called transmission gate where parallel connection of a p channel MOS transistor and the n channel MOS transistor was carried out as [ both ] 1st switching circuit CK1 and 2nd switching circuit CK2 is used, and also CK3 thru/or CK7 use the n channel MOS altogether.

[0048] The transmission gate which consists of a CMOS transistor as [ both ] 1st switching circuit CK1 and 2nd switching circuit CK2 is used, because it is distorted and can let a higher signal level pass that there is nothing. Moreover, as for n channel MOS in all, it is desirable for using the transmission gate to use the thing of a depletion type with a low threshold.

[0049] Although it is effective in sharing the 1st one operational amplifier 31 in the 1st and 2nd switthed capacitor circuits, and reducing common mode noise by this with the gestalt of this operation, a separate operational amplifier (the 3rd and 4th operational amplifiers) may be formed by the case. In this case, although a separate operational amplifier has forward and a negative input terminal, respectively, the Rhine memory is connected to a negative input terminal among forward [ in each operational amplifier ], and a negative input terminal, and the direction of a plus input terminal is set to touch-down potential.

[0050] Moreover, it has the pressure-up scanning circuit (high-pressure-distribution circuit) 108, and each pressure-up voltage-output lines 30a and 30b from the pressure-up scanning circuit 108 are connected to each perpendicular output lines 20a and 20b. Namely, the electrical potential difference by which the pressure up was carried out is impressed to the source field of MOS transistor 112 of each unit pixel 101 for every train. The electrical potential difference by which the pressure up was carried out is further built over the gate as a result through the capacity between the gate-sources. thereby -- a well -- the field strength concerning a field can be increased, a carrier can sweep, and \*\*\*\* can be promoted.

[0051] Drawing 4 shows the timing chart of each I/O signal for operating the MOS mold image sensors concerning this invention. Moreover, drawing 5 shows the timing chart of each I/O signal in the signal output circuit 105 for operating the MOS mold image sensors concerning this invention. in this case, the 1st and 2nd wells of p mold -- using Fields 15a and 15b, when MOS transistor 112 for lightwave signal

detection is nMOS, it applies.

[0052] Next, according to drawing 4 and drawing 5, photodetection actuation of the solid state image sensor with which a single string continued is explained briefly. Photodetection actuation is performed by repeating a series of processes which consist of an are recording period--read-out period--initialization period (\*\*\*\* period), as described above. Here, explanation is begun from an are recording period for convenience' sake. First, in an are recording period, low gate voltage is impressed to the gate electrode 19 of MOS transistor 112 for lightwave signal detection, and the electrical potential difference (VDD) of the abbreviation 2-3V required for actuation of a transistor is impressed to the drain fields 17a and 17b. this time -- the 1st well -- field 15a and the 2nd well -- field 15b and an epitaxial layer 12 depletion-ize. At this time, the electric field which go to the source field 16 arise from the drain fields 17a and 17b.

[0053] And let the outgoing end of the pressure-up scanning circuit 108 be touch-down potential (for it to become the source potential of MOS transistor 112) in the are recording period in front of a read-out period. this time -- the outgoing end of the VSCAN drive scanning circuit 102 -- touch-down potential (it becomes the gate potential of MOS transistor 112) -- becoming -- \*\*\*\* -- the output (Vpdn) of the VDD drive scanning circuit 103 -- about 3.3 -- it is V.

[0054] Then, light is irradiated at the light-receiving diode 111, and an electronic-electron hole pair (optical generating charge) is produced. An optical generating hole is poured into gate field 15b of MOS transistor 112 for lightwave signal detection among this optical generating charge by the above-mentioned electric field, and it is accumulated in the carrier pocket 25. While the depletion-layer width of face which spreads in gate field 15b under it from a channel field is restricted by this, the potential of the source field 16 neighborhood is modulated, and the threshold voltage of MOS transistor 112 changes.

[0055] In addition, in an are recording period, although the electrical potential difference of the difference of the source potential memorized by the Rhine memory Lms and Lmn is outputted to the video-signal output terminal 107, this actuation will be explained after a blanking period. Next, in the first half of a read-out period, while closing switching circuit CK7 for a high-voltage block, and opening 2nd switching circuit CK2 wide and making it flow through between 1st switching circuit CK1 and source fields, suppose un-flowing between the 2nd Rhine memory Lmn and source fields. Moreover, let the output (VPGn) of the VSCAN drive scanning circuit 102 be touch-down potential (for it to become the gate potential of MOS transistor 112). While closing 1st switching circuit CK1 of the signal output circuit 105 to coincidence, precharge switching circuit CK5 is closed to it, and it is made to memorize the presetting electrical potential difference Vmpr (1.6V (for it to become the source potential of MOS transistor 112)) in the 1st Rhine memory Lms. On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V.

[0056] Next, close switching circuit CK7 for a high-voltage block, and 2nd switching circuit CK2 is kept opened wide, and it is made to flow through between 1st switching circuit CK1 and source fields in the second half of a read-out period. the output (VPGn) of the VSCAN drive scanning circuit 102 -- about 2.2 -- it is referred to as V (it becomes the gate potential of MOS transistor 112). On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V (it becomes the drain potential of MOS transistor 112).

[0057] That is, the gate voltage of the abbreviation 2-3V to which MOS transistor 112 can operate by the saturation state is impressed to the gate electrode 19, and the electrical potential difference VDD which are the abbreviation 2-3V to which MOS transistor 112 can operate to the drain fields 17a and 17b is impressed. Thereby, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part, and a high electric-field field is formed in the remaining part of a channel field. At this time, the drain voltage-current property of MOS transistor 112 shows saturation characteristics, as shown in drawing 10.

[0058] Thereby, as shown in drawing 5 (a), the 1st Rhine memory Lms is charged. And source potential will rise as charge progresses, and a drain current will not flow in the place where source potential

became equal to threshold voltage. Thereby, charge is completed and the threshold voltage (source potential  $V_{outS}$ ) by which light modulation was carried out to the 1st Rhine memory Lms is memorized. The electrical potential difference (that is, noise voltage ( $V_{outN}$ ) is called.) which originated in the charge by the optical generating charge besides the electrical potential difference only by the optical generating charge is also included in this threshold voltage.

[0059] Disconnection of switching circuit CK7 for a high-voltage block opens the 1st switching circuit CK1 and precharge switching circuit CK5 on a peach after termination of a read-out period. Next, it moves to initialization actuation. initialization actuation -- setting -- the inside of the carrier pocket 25, and the 1st and 2nd wells -- the charge which remains in field 15a and 15b is discharged. That is, by adding 6.6V to the source of MOS transistor 112 for lightwave signal detection from the pressure-up scanning circuit 108, potential of a drain is set to 6.6V through the capacity of MOS transistor 112 for lightwave signal detection, and, in addition to 2V already charged, potential of the gate electrode 19 is set to about 8.6V through the capacity between the source-gates.

[0060] the electrical potential difference impressed to the gate electrode 19 at this time -- the 2nd well -- field 15b and the 2nd well -- the epitaxial layer 12 under field 15b is started. the high electric field generated at this time -- the 2nd well -- a carrier can be certainly swept out from field 15b. Thus, a carrier can be more certainly swept out with low supply voltage by having the pressure-up scanning circuit 108.

[0061] Moreover, since switching circuit CK7 for a high-voltage block is opened wide, it is un-flowing between 1st switching circuit CK1 and a source field and between 2nd switching circuit CK2 and a source field. Therefore, those malfunction can be prevented, without impressing the high electrical potential difference for sweeping out a carrier to the source / drain field of the p channel MOS of the transmission gate which constitutes 1st switching circuit CK1 and 2nd switching circuit CK2.

[0062] After discharging the optical generating charge accumulated in the high concentration buried layer 25, while closing switching circuit CK7 for a high-voltage block, and opening the 1st switching circuit wide in the first half of the blanking period in front of an are recording period and making it flow through between 2nd switching circuit CK2 and source fields, suppose un-flowing between the 1st Rhine memory Lms and source fields. Moreover, the output ( $V_{PGn}$ ) of the VSCAN drive scanning circuit 102 is made into touch-down potential (it becomes the gate potential of MOS transistor 112), and the output ( $V_{pdn}$ ) of the VDD drive scanning circuit 103 is set to 3.3V (it becomes the drain potential of MOS transistor 112) at coincidence. Moreover, precharge switching circuit CK6 and 2nd switching circuit CK2 are closed, and the 2nd Rhine memory Lmn is connected to the source field of an insulated gate field effect transistor 112. Thereby, the 2nd Rhine memory Lmn is made to memorize the presetting electrical potential difference  $V_{mpr}$  (1.6V (for it to become the source potential of MOS transistor 112)).

[0063] Next, close switching circuit CK7 for a high-voltage block, and 1st switching circuit CK1 is kept opened wide, and it is made to flow through between 2nd switching circuit CK2 and source fields in the second half of a blanking period. moreover, the output ( $V_{PGn}$ ) of the VSCAN drive scanning circuit 102 -- about 2.2 -- it is referred to as V (it becomes the gate potential of MOS transistor 112). On the other hand, VDD drive scanning-line 22a is maintained at about 3.3 V.

[0064] Thereby, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part, and a high electric-field field is formed in the remaining part of a channel field. At this time, a drain current flows in the source of MOS transistor 112, and as a drain voltage-current property is shown in drawing 8, saturation characteristics are shown according to threshold voltage. Thereby, as shown in drawing 5 (a), the 2nd Rhine memory Lmn is charged. Source potential will rise as charge progresses, and a drain current will not flow in the place where source potential became equal to threshold voltage. Thereby, charge is completed and the noise voltage ( $V_{outN}$ ) which originated in the 2nd Rhine memory Lmn at the residual charge by the optical generating charge is memorized.

[0065] The 2nd switching circuit CK2 and precharge switching circuit CK6 are opened after termination of a blanking period. Subsequently, although it returns at an are recording period, while performing are



recording actuation at this time, actuation which outputs the electrical potential difference of the difference of the source potentials  $V_{outS}$  and  $V_{outN}$  memorized by the Rhine memory  $L_{ms}$  and  $L_{mn}$  is performed. The actuation which outputs source potential to below is explained.

[0066] That is, 3rd switching circuit CK3 and 4th switching circuit CK4 are closed, and the source potentials  $V_{outS}$  and  $V_{outN}$  which both the Rhine memory  $L_{ms}$  and  $L_{mn}$  was made to memorize are made to input into the 1st negative input terminal and plus input terminal of an operational amplifier 31, respectively. At this time, both the reset switch circuits  $RST_s$  and  $RST_n$  are opened wide. Thereby, the charge of each Rhine memory  $L_{ms}$  and  $L_{mn}$  moves to each feedback capacitors  $C_{fs}$  and  $C_{fn}$ , and  $-V_{outS}$  and  $-V_{outN}$  output it to forward [ of the 1st operational amplifier 31 ], and a negative output terminal, respectively.

[0067] This  $-V_{outS}$  and  $-V_{outN}$  are inputted into the 2nd negative input terminal and forward output terminal of an operational amplifier 32, respectively, and the electrical potential difference ( $V_{outS} - V_{outN}$ ) of the difference of  $V_{outS}$  and  $V_{outN}$  is outputted from the output terminal of the 2nd operational amplifier 32. Thus, the video signal ( $V_{out} = V_{outS} - V_{outN}$ ) proportional to an optical exposure can be taken out.

[0068] As mentioned above, since the insulated gate field effect transistor 112 for lightwave signal detection of the threshold modulation mold which forms the high concentration buried layer 25 in the bottom of a channel as an insulated gate field effect transistor for lightwave signal detection in a pixel, and accumulates an optical generating charge in the bottom of a channel is used according to the gestalt of implementation of this invention, channel length is long. For this reason, since the electric field from the drain fields 17a and 17b are also eased, a drain induction barrier fall (DIBL) is controlled. Therefore, since the threshold shift is small, as a result fluctuation of a subthreshold level current is also small, the charging current can be minimized. Thereby, since the potential fall by parasitism resistance of wiring etc. can be controlled, direct connection with a capacitive load is attained.

[0069] Moreover, although the time amount of finite is needed for the writing to the Rhine memory  $L_{ms}$  and  $L_{mn}$ , the write-in time amount to the Rhine memory  $L_{ms}$  and  $L_{mn}$  is sharply short as compared with a blanking period or a read-out period. For this reason, the writing to the Rhine memory  $L_{ms}$  and  $L_{mn}$  can be performed into a blanking period etc. By the way, although it will go into the Rhine memory which those parasitic capacitance should read at juxtaposition if two or more Rhine memory is arranged in juxtaposition, the 1st and 2nd source potentials which the Rhine memory which should be read was made to memorize are outputted through a switched capacitor circuit. At this time, in a switched capacitor circuit, since charge transfer is performed by the 1st operational amplifier 31, the parasitic capacitance seen from the output side of a switched capacitor circuit becomes small.

[0070] For this reason, it reads, even if it arranges two or more Rhine memory in juxtaposition, and a rate is hardly influenced. Moreover, since the effect of parasitic capacitance is small, there is also an advantage that the maximum gain is acquired. Moreover, a carrier can be more certainly swept out with low supply voltage by connecting the pressure-up scanning circuit 122 to the source field of MOS transistor 112 for lightwave signal detection.

[0071] Moreover, switching circuit CK7 for a high-voltage block is put in between 1st switching circuit CK1 and 2nd switching circuit CK2, and the source field of MOS transistor 112 for lightwave signal detection. By making connectionless both between 1st switching circuit CK1 and source fields and between 2nd switching circuit CK2 and source fields at the initialization period which impresses the high electrical potential difference for making the optical generating charge accumulated in the high concentration buried layer 25 sweep out Even when the transmission gate which consists of a CMOS transistor as [ both ] 1st switching circuit CK1 and 2nd switching circuit CK2 is used, malfunction of a transmission gate can be prevented.

[0072] Furthermore, in a series of processes of are recording actuation-read-out actuation-\*\*\*\*\* (initialization actuation), when an optical generating hole moves, the ideal photo-electric-conversion device which does not interact with the noise source in a semi-conductor front face or a channel field



can be realized. As mentioned above, although the gestalt of operation explained this invention to the detail, the range of this invention is not restricted to the example concretely shown in the gestalt of the above-mentioned implementation, and modification of the gestalt of the above-mentioned implementation of the range which does not deviate from the summary of this invention is included in the range of this invention.

[0073] For example, although it has switching circuit CK7 for a high-voltage block with the gestalt of the above-mentioned operation on perpendicular output line 20a of this side which branches, respectively to the direction of the 1st Rhine memory Lms and the 2nd Rhine memory Lmn as shown in drawing 2 As shown in drawing 6 On branching wiring which branched to the direction of the 1st Rhine memory Lms and the 2nd Rhine memory Lmn from perpendicular output line 20a linked to the source field of MOS transistor 112 for lightwave signal detection, respectively 1st switching circuit CK8 for a high-voltage block And 2nd switching circuit CK9 for a high-voltage block may be formed.

[0074] In this case, it becomes the drive approach as shown in drawing 7 . That is, in a read-out period, 1st switching circuit CK8 for a high-voltage block is closed, the 1st Rhine memory Lms and source field are connected, 2nd switching circuit CK9 for a high-voltage block is closed at a blanking period, and the 2nd Rhine memory Lmn and source field are connected. In both initialization periods, the 1st and 2nd switching circuits CK8 and CK9 for a high-voltage block are opened, and both between the 1st Rhine memory Lms and source fields and between the 2nd Rhine memory Lmn and source fields are made connectionless.

[0075] moreover -- the gestalt of the above-mentioned operation -- the inside of the epitaxial layer 12 of n mold on the substrate 11 of p mold -- the 1st and 2nd wells -- although Fields 15a and 15b are formed -- instead of [ of the epitaxial layer 12 of n mold ] -- the epitaxial layer of p mold -- n mold impurity -- introducing -- n mold -- a well -- a layer -- forming -- this n mold -- a well -- the inside of a layer -- the 1st and 2nd wells -- Fields 15a and 15b may be formed.

[0076] furthermore -- although various modifications can be considered as structure of a solid state image sensor where this invention is applied -- the MOS transistor for [ whatever other structures ] light-receiving diode and lightwave signal detection -- adjoining -- a unit pixel -- constituting -- and the well of p mold under the channel field of an MOS transistor -- it is in a field and the high concentration buried layer (carrier pocket) should just be prepared near the source field.

[0077] Furthermore, although the substrate 11 of p mold is used, the substrate of n mold may be used instead. In this case, what is necessary is just to reverse all of each class explained with the gestalt of the above-mentioned implementation etc., and the conductivity type of each field, in order to acquire the same effectiveness as the gestalt of the above-mentioned implementation. In this case, the carrier which should be accumulated in the carrier pocket 25 is an electron among an electron and an electron hole.

[0078]

[Effect of the Invention] As mentioned above, since the insulated gate field effect transistor for lightwave signal detection of the threshold modulation mold which prepares a high concentration buried layer in the bottom of a channel as an insulated gate field effect transistor for lightwave signal detection in a pixel, and accumulates an optical generating charge in the bottom of a channel is used according to this invention, channel length is long.

[0079] For this reason, since fluctuation of threshold voltage is small, as a result fluctuation of a subthreshold level current is also small, the charging current can be minimized. Thereby, since the potential fall by parasitism resistance of wiring etc. can be controlled, direct connection with a capacitive load is attained. Moreover, in a switched capacitor circuit, although the 1st and 2nd source potentials which the Rhine memory which should be read was made to memorize are outputted through a switched capacitor circuit, since charge transfer is performed by the 1st operational amplifier, even when two or more Rhine memory is arranged in juxtaposition, the parasitic capacitance seen from the output side of a switched capacitor circuit becomes small. For this reason, it reads, even if it arranges

two or more Rhine memory in juxtaposition, and a rate is hardly influenced, and the maximum gain is acquired.

[0080] Moreover, since the switching circuit for a high-voltage block is put in between the preceding paragraph of a signal output circuit, i.e., the 1st switching circuit, the 2nd switching circuit, and the source field of the insulated gate field effect transistor for lightwave signal detection, even when the transmission gate which consists of a CMOS transistor as [ both ] the 1st switching circuit and 2nd switching circuit is used, malfunction of a transmission gate can be prevented at the initialization period when the high voltage is impressed to a source field.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the circuitry of the whole solid state camera concerning the gestalt of operation of this invention.

[Drawing 2] It is the circuit diagram showing the detail configuration of the signal output circuit of the solid state camera of drawing 1 .

[Drawing 3] It is the circuit diagram showing the detail configuration of the Rhine memory part of the signal output circuit of drawing 2 .

[Drawing 4] It is a timing chart at the time of operating the solid state camera of drawing 1 .

[Drawing 5] (a) is a timing chart in a read-out period among a series of timing charts at the time of operating the signal output circuit of drawing 2 , and this drawing (b) is a timing chart in a blanking period.

[Drawing 6] It is the circuit diagram showing the detail configuration of the Rhine memory part of the signal output circuit concerning the gestalt of other operations of this invention.

[Drawing 7] (a) is a timing chart in a read-out period among a series of timing charts at the time of operating the signal output circuit of drawing 6 , and this drawing (b) is a timing chart in a blanking period.

[Drawing 8] It is the top view showing the component layout in the unit pixel of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention.

[Drawing 9] (a) is a sectional view showing the structure of the component in the unit pixel of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention which meets the A-A line of drawing 8 . (b) is drawing showing the situation of the potential in the condition that the optical generating hole was accumulated in the carrier pocket, induction of the electron was carried out to the channel field, and the reversal field is generated.

[Drawing 10] It is the graph which shows the drain current-voltage characteristic of the MOS transistor for lightwave signal detection of the solid state image sensor used for the solid state camera concerning the gestalt of operation of this invention.

[Drawing 11] (a) is drawing showing the circuitry of the whole solid state camera concerning the

conventional example, and (b) is a timing chart at the time of operating the solid state camera of (a).

[Description of Notations]

15a the 1st well -- a field

15b the 2nd well -- a field

15c Channel dope layer

16a A low-concentration source field

16b A high-concentration source field (contact layer)

17 Impurity Range

17a A low-concentration drain field

17b A high-concentration drain field (contact layer)

18 Gate Dielectric Film

19 Gate Electrode

20a, 20b Perpendicular output line

21a, 21b VSCAN supply line

22a, 22b VDD supply line

25 Carrier Pocket (High Concentration Buried Layer)

26 Water Hiraide Line of Force

27a, 27b HSCAN supply line

30a, 30b Pressure-up electrical-potential-difference supply line

31 1st Operational Amplifier

32 2nd Operational Amplifier

101 Unit Pixel

102 VSCAN Drive Scanning Circuit

103 VDD Drive Scanning Circuit

104 HSCAN Input Scanning Circuit

105 Signal Output Circuit

107 Video-Signal Output Terminal

108 Pressure-Up Scanning Circuit (High-Pressure-Distribution Circuit)

111 Light-receiving Diode

112 Insulated Gate Field Effect Transistor for Lightwave Signal Detection (MOS Transistor for Lightwave Signal Detection)

CK1 The 1st switching circuit

CK2 The 2nd switching circuit

CK3 The 3rd switching circuit

CK4 The 4th switching circuit

CK5, CK6 Precharge switching circuit

CK7 Switching circuit for a high-voltage block

CK8 1st switching circuit for a high-voltage block

CK9 2nd switching circuit for a high-voltage block

Lms 1st Rhine memory (the 1st memory)

Lmn 2nd Rhine memory (the 2nd memory)

RSTs, RSTn Reset switch circuit

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-298662  
(P2001-298662A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマト\* (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4 M 1 1 8

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

31/10

31/10

G 5 F 0 4 9

審査請求 未請求 請求項の数11 O L (全 21 頁)

(21) 出願番号 特願2000-111140(P2000-111140)

(22) 出願日 平成12年4月12日 (2000. 4. 12)

(71) 出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜 3-17-6

(72) 発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜 3丁目17番6

号 イノテック株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

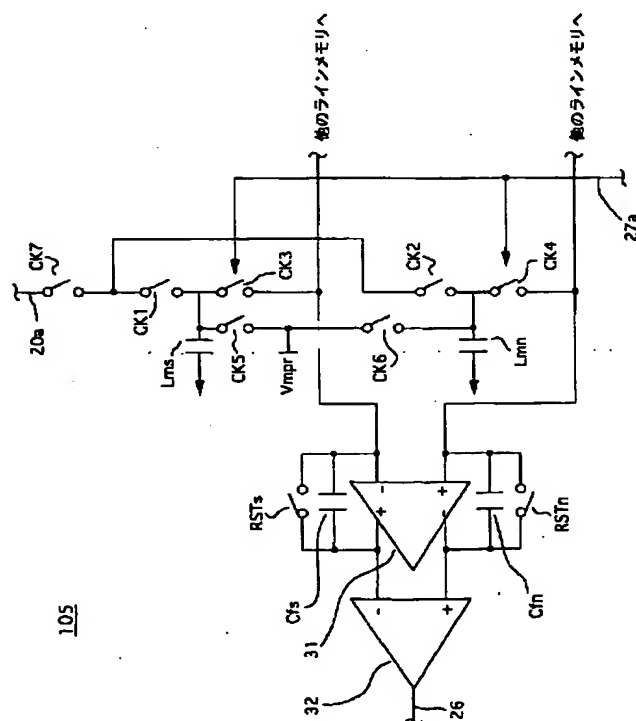
最終頁に続く

#### (54) 【発明の名称】 固体撮像装置及びその駆動方法

#### (57) 【要約】

【課題】 サブスレッショルド電流のばらつきの影響を抑制し、出力電圧の変調ばらつきを低減する。

【解決手段】 チャネル下の高濃度埋込層に光発生電荷を蓄積して閾値電圧を変調させて光信号を検出する固体撮像素子と、光変調後の第1のソース電位と光変調前の第2のソース電位との差の電圧を出力する信号出力回路105とを有し、信号出力回路105は、ソース領域に第1のスイッチCK1を介して接続された第1のラインメモリLmsと、ソース領域に第2のスイッチCK2を介して接続された第2のラインメモリLmnとを有し、かつ第1のスイッチCK1及び第2のスイッチCK2とソース領域との間に第1の高電圧ブロック用スイッチCK7を有する。



(2)

## 【特許請求の範囲】

【請求項1】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はソース領域の近傍であってゲート電極下のウェル領域内に設けられた前記受光ダイオードで光照射により発生した光発生電荷を蓄積する高濃度埋込層を有し、前記光発生電荷を前記高濃度埋込層に蓄積して閾値電圧を変調させて光信号を検出する固体撮像素子と、  
前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を出力する垂直走査信号駆動走査回路と、  
前記高濃度埋込層に蓄積された前記光発生電荷を掃き出すための電圧を前記絶縁ゲート型電界効果トランジスタのソース領域に供給する高圧供給回路と、  
前記光発生電荷を前記高濃度埋込層に蓄積した状態での第1のソース電位を第1の入力に投入し、前記光発生電荷を前記高濃度埋込層から掃き出した状態での第2のソース電位を第2の入力に投入し、それらの入力に対応した電圧を出力する信号出力回路とを有し、  
前記信号出力回路の前段に前記高圧供給回路からの高電圧の入力を阻止する高電圧ブロック用スイッチ回路を備えたことを特徴とする固体撮像装置。

【請求項2】 前記信号出力回路は、第1のメモリ、第2のメモリ、第1のスイッチ回路、第2のスイッチ回路、第3のスイッチ回路、第4のスイッチ回路、及び前記第1の演算増幅器を有するスイッチトキャパシタ回路と、第2の演算増幅器を有する演算増幅回路とを備え、前記第3の演算増幅器は、正及び負入力端子と正及び負出力端子とを有し、前記負入力端子と前記正出力端子の間に帰還キャパシタ (C f s) が接続され、かつ前記正入力端子と前記負出力端子の間に帰還キャパシタ (C f n) が接続され、  
前記第4の演算増幅器は、正及び負入力端子と出力端子とを有し、前記第3の演算増幅器の正及び負出力端子にそれぞれ前記負及び正入力端子が接続されており、  
前記第1のソース電位を前記第1のスイッチ回路により選択的に転送して前記第1のメモリに記憶させ、前記第3のスイッチ回路により前記第1のメモリから前記第3の演算増幅器の負入力端子に前記第1のソース電位を選択的に投入させ、  
前記第2のソース電位を前記第2のスイッチ回路により選択的に転送して第2のメモリに記憶させ、前記第4のスイッチ回路により前記第2のメモリから前記第3の演算増幅器の正入力端子に前記第2のソース電位を選択的に投入させ、  
前記第3の演算増幅器の正出力端子から前記第4の演算増幅器の負入力端子に前記第1のソース電位を入力させ、かつ前記第3の演算増幅器の負出力端子から前記第

4の演算増幅器の正入力端子に前記第2のソース電位を入力させることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記信号出力回路は、第1のメモリ、第1のスイッチ回路、第3のスイッチ回路、及び第3の演算増幅器を有する第1のスイッチトキャパシタ回路と、第2のメモリ、第2のスイッチ回路、第4のスイッチ回路、及び第4の演算増幅器を有する第2のスイッチトキャパシタ回路と、演算増幅回路とを備え、前記第1のソース電位を前記第1のスイッチ回路により選択的に転送して前記第1のメモリに記憶させ、前記第3のスイッチ回路により前記第1のソース電位を前記第1のメモリから前記第3の演算増幅器の入力端子に選択的に転送し、前記第2のソース電位を前記第2のスイッチ回路により選択的に転送して第2のメモリに記憶させ、前記第4のスイッチ回路により前記第2のソース電位を前記第2のメモリから前記第4の演算増幅器の入力端子に選択的に転送し、前記第3及び第4の演算増幅器から出力された前記第1及び第2のソース電位を前記演算増幅回路に投入し、前記第1及び第2のソース電位の差の電圧を出力することを特徴とする請求項1記載の固体撮像装置。

【請求項4】 前記固体撮像装置は、さらに、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、  
前記信号出力回路の第3及び第4のスイッチ回路の開閉を制御する信号を供給する水平走査信号入力走査回路と、  
前記信号出力回路の出力に接続された映像信号出力端子とを有することを特徴とする請求項2又は3記載の固体撮像装置。

【請求項5】 前記第1のメモリ及び前記第2のメモリにはそれぞれプリセット電圧を印加する手段が接続されていることを特徴とする請求項2乃至4の何れかーに記載の固体撮像装置。

【請求項6】 前記第1のスイッチ回路及び前記第2のスイッチ回路はともに、pチャネルMOSトランジスタとnチャネルMOSトランジスタとが並列接続されたトランスミッションゲートであることを特徴とする請求項2乃至5の何れかーに記載の固体撮像装置。

【請求項7】 前記ソース領域から配線が分岐して前記第1のスイッチ回路と前記第2のスイッチ回路とに繋がりを、前記高電圧ブロック用スイッチ回路は、前記ソース領域と前記配線の分岐点との間に一つ設けられていることを特徴とする請求項2乃至6の何れかーに記載の固体撮像装置。

【請求項8】 前記高電圧ブロック用スイッチ回路は第1の高電圧ブロック用スイッチ回路と第2の高電圧ブロック用スイッチ回路とから構成されており、前記ソース領域から配線が分岐して前記第1のスイッチ回路と前記

(3)

3

第2のスイッチ回路とに繋がり、前記第1の高電圧ブロック用スイッチ回路は前記配線の分岐点と前記第1のスイッチ回路との間に設けられ、前記第2の高電圧ブロック用スイッチ回路は前記分岐点と前記第2のスイッチ回路との間に設けられていることを特徴とする請求項2乃至6の何れかに記載の固体撮像装置。

【請求項9】 前記高電圧ブロック用スイッチ回路、前記第1及び第2の高電圧ブロック用スイッチ回路は、デプリーション型のMOSトランジスタであることを特徴とする請求項7又は8記載の固体撮像装置。

【請求項10】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はソース領域の近傍であってゲート電極下のウェル領域内に設けられた前記受光ダイオードで光照射により発生した光発生電荷を蓄積する高濃度埋込層を有し、前記光発生電荷を前記高濃度埋込層に蓄積して閾値電圧を変調させて光信号を検出する固体撮像素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、前記読出期間において、前記高濃度埋込層に光発生電荷を蓄積した後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第1のソース電位を第1のメモリに記憶させ、

次いで、前記初期化期間において、前記ソース領域と前記第1のメモリとの間及び前記ソース領域と前記第2のメモリとの間を非接続とした上で、前記ソース領域に電圧を印加して前記高濃度埋込層に蓄積された光発生電荷を排出させ、

次いで、前記蓄積期間の前に、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第2のソース電位を第2のメモリに記憶させ、

次いで、前記蓄積期間において、前記第1及び第2のメモリに記憶させた第1及び第2のソース電位を読み出し、前記第1のソース電位と前記第2のソース電位との差の電圧を出力することを特徴とする固体撮像装置の駆動方法。

【請求項11】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタを備えた単位画素を有し、前記絶縁ゲート型電界効果トランジスタの部分はソース領域の近傍であってゲート電極下のウェル領域内に設けられた前記受光ダイオードで光照射により発生した光発生電荷を蓄積する高濃度埋込層を有し、前記光発生電荷を前記高濃度埋込層に蓄積して閾値電圧を変調させて光信号を検出する固体撮像

4

素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、

前記読出期間において、前記高濃度埋込層に光発生電荷を蓄積した後、第1のメモリにプリセット電圧を記憶させた後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第1のソース電位を前記第1のメモリに記憶させ、

次いで、前記初期化期間において、前記ソース領域と前記第1のメモリとの間及び前記ソース領域と前記第2のメモリとの間を非接続とした上で、前記ソース領域に電圧を印加して前記高濃度埋込層に蓄積された光発生電荷を排出させ、

次いで、前記蓄積期間の前に、第2のメモリにプリセット電圧を記憶させた後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第2のソース電位を前記第2のメモリに記憶させ、

次に、前記蓄積期間において、前記第1及び第2のメモリに記憶させた第1及び第2のソース電位を読み出し、前記第1のソース電位と前記第2のソース電位との差の電圧を出力することを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置及びその駆動方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式のMOS型イメージセンサを用いた固体撮像装置及びその駆動方法に関する。

【0002】

【従来の技術】 CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】 このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、チャネル領域下にキャリアポケット（高濃度埋込層）を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。このMOS型イメージセンサは特許（登録番号2935492号）の図8（a）に示す回路構成を有し、その動作においては、同じく図8（b）に示すように、

(4)

5

初期化期間—蓄積期間—読出期間を経る。初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット25に残る光発生正孔を放出させる。蓄積期間に光照射により光発生正孔を生じさせてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。

【0004】この特許（登録番号2935492号）に係る発明では、この出願の図11（a）、（b）に示すように、光信号検出用MOSトランジスタと外部に設けられた定電流源等の能動負荷との組み合わせで、ソース  
10 フォロワにより信号のインピーダンスを下げてソース電位を検出し、図示しないメモリ容量を充電させて電圧信号を出力している。

【0005】

【発明が解決しようとする課題】しかしながら、画素が微細化され、配線幅が細くなると寄生抵抗値が上昇し、シリーズ抵抗による配線内及び配線間の電圧降下のばらつきとして問題になる。そこで、電圧降下分を抑制するために電流値を減少させると、チャネル長が短い場合、ドレイン誘起バリア低下（DIBL）によるサブスレッ  
20 ショルド電流（ドレイン電圧—ドレイン電流特性におけるドレイン電流の立ち上がりの直前の特性）のソース電流に占める比率が相対的に増えて、出力電圧がサブスレッショルド電流により支配されるため、出力電圧の変調のばらつきが増加する。

【0006】本発明は、上記従来技術の問題点を鑑みて創作されたものであり、サブスレッショルド電流のばらつきの影響を抑制し、出力電圧の変調ばらつきを低減することができる固体撮像装置及びその駆動方法を提供するものである。

【0007】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置に係り、その基本構成として、図1に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）112とを含む各単位画素101を有している。各単位画素101においては、受光ダイオード111とMOSトランジスタ112とは相互に接続したウェル領域15a、15bに形成され、MOSトランジスタ112のソース領域の周辺部のウェル領域15b内に光発生電荷を蓄積する高濃度埋込層（キャリアポケット）25を有していることを特徴としている。

【0008】MOSトランジスタ112のゲート電極は垂直走査信号（VSCAN）駆動走査回路102に接続し、ソース領域は垂直出力線を通して信号出力回路105と接続している。そして、図2に示すように、ソース領域は上記の信号出力回路105内のキャパシタからなる第1のラインメモリ（第1のメモリ）Lms及び第2のラインメモリ（第2のメモリ）Lmnと直結し、定電  
50

6

流源などの能動負荷を有しないことを特徴としている。さらに、信号出力回路105内に1つ又は2つのスイッチトキャパシタ回路を備え、このスイッチトキャパシタ回路を通して第1及び第2のラインメモリLms、Lmnに記憶された光変調後のソース電位と光変調前のソース電位の差の電圧を出力するような構成となっていることを特徴としている。

【0009】さらに、上記の信号出力回路105の詳細を図2に示す。図2に示すように、光信号検出用MOSトランジスタ112のソース領域と接続した垂直出力線20aは分岐し、一つは第1のスイッチ回路CK1を介して光信号電圧と雑音電圧を含む電圧を記憶する第1のラインメモリLmsの一端子と接続し、他は第2のスイッチ回路CK2を介して雑音電圧を記憶する第2のラインメモリLmnの一端子と接続している。

【0010】そして、信号出力回路105の前段に高圧供給回路108からの高電圧の入力を阻止する高電圧ブロック用スイッチ回路を備えている。即ち、第1のスイッチ回路CK1及び第2のスイッチ回路CK2と光信号検出用MOSトランジスタ112のソース領域との間であつて垂直出力線20a上に1つの高電圧ブロック用スイッチ回路CK7を有していること、又は垂直出力線20aからの分岐配線上にそれぞれ第1及び第2の高電圧ブロック用スイッチ回路CK8、CK9を有していることを特徴としている。

【0011】この場合、第1のスイッチ回路CK1及び第2のスイッチ回路CK2はともに、pチャネルMOSトランジスタとnチャネルMOSトランジスタとが並列接続されたトランスマッションゲートであることを特徴として  
30 じている。また、第1のラインメモリLmsの一端子はHSCAN供給線27aにより制御される第3のスイッチ回路CK3を介して演算増幅器（第3の演算増幅器）31の負入力端子に接続し、第2のラインメモリLmnの一端子はHSCAN供給線27aにより制御される別の第4のスイッチ回路CK4を介して第1の演算増幅器31の正入力端子に接続している。さらに、第1の演算増幅器31の正出力端子は第2の演算増幅回路32の負入力端子に接続され、第1の演算増幅器31の負出力端子は第2の演算増幅回路32の正入力端子に接続されている。第2の演算増幅回路32の出力端子は水平出力線26を通して映像信号出力端子107に接続している。なお、上記では、第1及び第2のスイッチトキャパシタ回路が一つの第1の演算増幅器31により統合されて一つのスイッチトキャパシタ回路の構成をとっているが、第3及び第4の演算増幅器を用いた2つの第1及び第2のスイッチトキャパシタ回路に分けてもよい。

【0012】また、第1及び第2のラインメモリLms、Lmnにプリセット電圧を印加する手段を接続している。本発明の駆動方法においては、上記固体撮像装置を用いて、光照射により発生した光発生キャリアを高濃



(5)

7

度埋込層に蓄積させる蓄積期間と、高濃度埋込層に蓄積された光発生キャリアに基づく光信号を読み出す読出期間と、高濃度埋込層に残留する光発生キャリアを排出する初期化期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、読出期間において、高濃度埋込層に光発生キャリアを蓄積した後、光信号検出用MOSトランジスタのソース領域空出力した第1のソース電位を第1のラインメモリに記憶させ、次いで、初期化期間において、ソース領域と第1のラインメモリとの間及びソース領域と第2のラインメモリとの間をと

ともに非接続とした上で、ソース領域に電圧を印加して高濃度埋込層に蓄積された光発生電荷を排出させ、次いで、蓄積期間の前に、光信号検出用MOSトランジスタのソース領域から出力した第2のソース電位を記憶させ、次いで、第1及び第2のラインメモリに記憶させた第1及び第2のソース電位を読み出し、第1のソース電位と第2のソース電位との差の電圧を出力している。

【0013】上記の本発明によれば、画素内の光信号検出用MOSトランジスタとして、チャンネル下に高濃度埋込層を設け、光発生キャリアをチャンネル下に蓄積する閾値変調型の光信号検出用MOSトランジスタを用いているため、そのチャンネル長が長い。このため、ドレイン領域からの電界も緩和されるので、ドレイン誘起バリア低下(DIBL)が抑制される。従って、閾値変動が小さく、ひいてはサブスレッショルド電流の変動も小さいので、充電電流を最小化できる。これにより、配線等の寄生抵抗による電位低下を抑制することができるため、容量性負荷との直結が可能となる。

【0014】また、ラインメモリへの書き込みには有限の時間を必要とするが、ラインメモリへの書き込み時間はブランキング期間や読出期間と比較して大幅に短い。このため、ラインメモリへの書き込みはブランキング期間等の間に行うことができる。ところで、複数のラインメモリを並列に並べるとそれらの寄生容量が読み出すべきラインメモリに並列に入るが、読み出すべきラインメモリに記憶させた第1及び第2のソース電位はスイッチトキャパシタ回路を通して出力される。このとき、スイッチトキャパシタ回路内では演算増幅器31により電荷移動が行われるためスイッチトキャパシタ回路の出力側から見た寄生容量は小さくなる。このため、複数のメモリ素子を並列に並べても読み出し速度はほとんど影響を受けない。また、寄生容量の影響が小さいため、最大利得が得られるという利点もある。

【0015】また、第1及び第2のラインメモリにプリセット電圧を印加する手段を接続することにより、第1及び第2のラインメモリにソース電位を記憶させる前に、接地電位よりも高く、かつ記憶させるソース電位よりも低いプリセット電圧を記憶させておき、これにより、光信号検出用MOSトランジスタのゲート電極に接地電位を印加しているときにも確実に光信号検出用MO

8

Sトランジスタの動作を抑え、リーク電流を抑制することができる。

【0016】また、第1のスイッチ回路及び第2のスイッチ回路としてともに、pチャネルMOSトランジスタとnチャネルMOSトランジスタとが並列接続されたトランスミッションゲートを用いることにより、より高い信号電圧を歪みなく通せるようにしている。この場合、光信号検出用MOSトランジスタのソース領域に初期化のための高い電圧を印加すると、トランスミッションゲートを構成するCMOSトランジスタのうち一方のトランジスタのソース/ドレイン領域のpn接合が順方向にバイアスされるためトランスミッションゲートが正常に動作しなくなる。

【0017】これを防ぐため、第1のスイッチ回路及び第2のスイッチ回路と光信号検出用MOSトランジスタのソース領域の間であって垂直出力線上に1つの高電圧ブロック用スイッチ回路を入れている。或いは第1のスイッチ回路と光信号検出用MOSトランジスタのソース領域の間、及び第2のスイッチ回路と光信号検出用MOSトランジスタのソース領域の間にそれぞれ第1及び第2の高電圧ブロック用スイッチ回路を入れている。これにより、高濃度埋込層に蓄積された光発生電荷を掃き出させるための高い電圧を印加する初期化期間に第1のスイッチ回路とソース領域との間及び第2のスイッチ回路とソース領域との間をとともに非接続とすることにより、このような問題を防止することができる。

【0018】なお、ウエル領域等が上記と逆の導電型の場合、即ち高濃度埋込層がn型の場合、高濃度埋込層はエレクトロンポケット(キャリアポケット)となり、光発生電子を蓄積することになる。

【0019】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。図8は、本発明の実施の形態に係るMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図8に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。なお、以下、光信号検出用MOSトランジスタのことを単にMOSトランジスタ112と称することもある。MOSトランジスタ112として、低濃度ドレイン構造(LDD構造)を有するnチャネルMOS(nMOS)を用いている。

【0020】これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域15aと第2のウエル領域15bに形成され、それらのウエル領域15a、15bは互いに接続されている。受光ダイオード111の部分の第1のウエル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112の部分の第2のウエル領域15bはこの領域15bに付与するポテンシ

(6)

9

ャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0021】MOSトランジスタ112の部分は低濃度ドレイン(LDD)構造を有している。ドレイン領域17a、17bはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極19の内周に囲まれるように形成されている。低濃度のドレイン領域17aが延在して低濃度のドレイン領域17aとはほぼ同じ不純物濃度を有する受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウェル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域17と低濃度のドレイン領域17aの外側周辺部には受光部を避けて低濃度ドレイン領域17aに接続するようにコンタクト層としての高濃度のドレイン領域17bが形成されている。

【0022】さらに、このMOS型イメージセンサの特徴であるキャリアポケット(高濃度埋込層)25は、ゲート電極19下の第2のウェル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。ドレイン領域17a、17bは低抵抗のコンタクト層17bを通してドレイン電圧(VDD)供給線(又はドレイン電極)22と接続され、ゲート電極19は垂直走査信号(VSCAN)供給線21に接続され、ソース領域16は垂直出力線(又はソース電極)20に接続されている。

【0023】また、受光ダイオード111の受光窓24以外の領域は金属層(遮光膜)23により遮光されている。上記のMOS型イメージセンサにおける光信号検出のための素子動作においては、蓄積期間—読出期間—初期化期間(掃出期間)—蓄積期間—読出期間—初期化期間(掃出期間)—という一連の過程が繰り返される。なお、この実施の形態では初期化期間(掃出期間)と蓄積期間の間にブランキング期間を設けている。

【0024】蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔(ホール)を第1及び第2のウェル領域15a、15b内を移動させてキャリアポケット25に蓄積させる。ドレイン領域17a、17bに凡そ+2〜3Vの正の電圧を印加するとともに、ゲート電極19にMOSトランジスタ112がカットオフ状態を維持するような低い正或いは負の電圧を印加する。この蓄積期間は、第1及び第2のラインメモリ(第1及び第2のメモリ)にそれぞれ記憶させた光信号により変調した第1のソース電位と光信号がはいる前の第2のソース電位との差の電圧を出力させる期間でもある。

【0025】読出期間では、キャリアポケット25に蓄積された光発生電荷によるMOSトランジスタ112の閾値電圧の変化をソース電位の変化として読み取り、第

10

1のラインメモリに記憶させる。MOSトランジスタ112が飽和状態で動作するように、ドレイン領域17a、17bに凡そ+2〜3Vの正の電圧を印加するとともに、ゲート電極19に凡そ+2〜3Vの正の電圧を印加する。

【0026】初期化期間では、光発生電荷(光発生キャリア)を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出して、キャリアポケット25を空にする。ソース領域16やドレイン領域17a、17bやゲート電極19に約+5V以上、通常7〜8V程度の正の高電圧を印加する。

【0027】ブランキング期間では、初期化期間と蓄積期間の間に設けられた水平走査の折返しに必要な期間であり、この期間を利用してキャリアポケット25から光発生電荷を掃き出した状態での第2のソース電位を第2のラインメモリに記憶させる。次に、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造を断面図を用いて説明する。

【0028】図9(a)は、図8のA-A線に沿う断面図に相当する、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造について示す断面図である。図9(b)は、半導体基板表面に沿うポテンシャルの様子を示す図である。図9(a)に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp型シリコンからなる基板11上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のn型シリコンをエピタキシャル成長し、エピタキシャル層12を形成する。

【0029】このエピタキシャル層12に受光ダイオード111と光信号検出用MOSトランジスタ112とを含む単位画素101が複数形成されている。そして、各単位画素101を分離するように、隣接する単位画素101間のエピタキシャル層12表面に、選択酸化(LOCOS)によりフィールド絶縁膜(素子分離絶縁膜)14が形成されている。さらに、フィールド絶縁膜14の下部であって基板11上部に、エピタキシャル層31とフィールド絶縁膜14との界面全体を含み、かつn型のエピタキシャル層12を分離するようにp型の素子分離領域13が形成されている。

【0030】次に、受光ダイオード111の詳細について図9(a)により説明する。受光ダイオード111は、エピタキシャル層12と、エピタキシャル層12の表層に形成されたp型の第1のウェル領域15aと、第1のウェル領域15aの表層からエピタキシャル層12の表層に延在するn型の不純物領域17とで構成されている。

【0031】不純物領域17は、低濃度ドレイン(LDD)構造を有する光信号検出用MOSトランジスタ112の低濃度のドレイン領域17aから延在するように形

(7)

11

成されている。上記説明した蓄積期間において、不純物領域17はドレイン電圧供給線22に接続されて正の電位にバイアスされる。このとき、不純物領域17と第1のウエル領域15aとの境界面から空乏層が第1のウエル領域15a全体に広がり、n型のエピタキシャル層12に達する。一方、基板11とエピタキシャル層12との境界面から空乏層がエピタキシャル層12に広がり、第1のウエル領域15aに達する。

【0032】第1のウエル領域15aやエピタキシャル層12はMOSトランジスタ112のゲート領域15bと繋がっているため、光により発生したこれらのホールをMOSトランジスタ112の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第1のウエル領域15a及びエピタキシャル層12全体が光によるキャリア発生領域となる。

【0033】また、上記の受光ダイオード111においては不純物領域17の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード111は光により発生した正孔（ホール）に対する埋め込み構造を有している。従って、捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。次に、光信号検出用MOSトランジスタ112の詳細について図9(a)により説明する。

【0034】MOSトランジスタ112部分は、下から順に、p型の基板11と、この基板11上に形成されたn型のエピタキシャル層12と、このエピタキシャル層12内に形成されたp型の第2のウエル領域15bとを有している。このMOSトランジスタ112はリング状のゲート電極19の外周をn型の低濃度のドレイン領域17aが囲むような構造を有する。n型の低濃度のドレイン領域17aはn型の不純物領域17と一体的に形成されている。低濃度のドレイン領域17aから延在する不純物領域17の外側周辺部には、この不純物領域17と接続し、素子分離領域13及び素子分離絶縁膜14にまで延びる高濃度のドレイン領域17bが形成されている。高濃度のドレイン領域17bはドレイン電極22のコンタクト層となる。

【0035】また、リング状のゲート電極19によって囲まれるようにn型のソース領域16が形成されている。ソース領域16は、中央部が高濃度となっており、周辺部が低濃度となっている。ソース電極20はソース領域16に接続している。ゲート電極19は、ドレイン領域17aとソース領域16の間の第2のウエル領域15b上にゲート絶縁膜18を介して形成されている。ゲート電極19下の第2のウエル領域15bの表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度のn型不純物を導入してチャネルドープ層15cを形成している。

【0036】そのチャネル領域の下第2のウエル領域

12

15b内であってチャネル長方向の一部領域に、即ちソース領域16の周辺部であって、ソース領域16を囲むように、p+型のキャリアポケット（高濃度埋込層）25が形成されている。このp+型のキャリアポケット25は、例えばイオン注入法により形成することができる。キャリアポケット25は表面に生じるチャネル領域よりも下側の第2のウエル領域15b内に形成される。キャリアポケット25はチャネル領域にかからないように形成することが望ましい。

10 【0037】上記したp+型のキャリアポケット25では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン領域17a、17bにゲート電圧よりも高い電圧を印加したときに光発生ホールをこのキャリアポケット25に集めることができる。図9

(b)に光発生ホールがキャリアポケット25に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOSトランジスタ112の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

20 【0038】ところで、上記したキャリアの初期化期間においては、ゲート電極19に高い電圧を印加し、それによって生じる電界によって第2のウエル領域15bに残るキャリアを基板11側に掃き出している。この場合、印加した電圧によって、チャネル領域のチャネルドープ層15cと第2のウエル領域15bとの境界面から空乏層が第2のウエル領域15bに広がり、また、p型の基板11とエピタキシャル層12との境界面から空乏層が第2のウエル領域15bの下エピタキシャル層12に広がる。従って、ゲート電極19に印加した電圧による電界の及ぶ範囲は、主として第2のウエル領域15b及び第2のウエル領域15bの下エピタキシャル層12にわたる。

30 【0039】次に、図1を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図1は、本発明の実施の形態におけるMOS型イメージセンサの回路構成図を示す。図1に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素101が列方向及び行方向にマトリクス状に配列されている。

【0040】また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査回路103が画素領域を挟んでその左右に配置されている。垂直走査信号供給線21a、21bは垂直走査信号(VSCAN)の駆動走査回路102から行毎に一つずつでている。各垂直走査信号供給線21a、21bは行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲートに接続されている。

50 【0041】また、ドレイン電圧供給線(VDD供給

(8)

13

線) 22a, 22bはドレイン電圧(VDD)の駆動走査回路103から行毎に一つずつでている。各ドレイン電圧供給線(VDD供給線)22a, 22bは、行方向に並ぶ全ての単位画素101内の光信号検出用MOSトランジスタ112のドレインに接続されている。また、列毎に異なる垂直出力線20a, 20bが設けられて、各垂直出力線20a, 20bは列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソースにそれぞれ接続されている。

【0042】さらに、MOSトランジスタ112のソース領域は列毎に垂直出力線を通して信号出力回路105と接続している。そして、図2に示すように、ソース領域は上記の信号出力回路105内の入力キャパシタからなるラインメモリと直結している。ソース領域に定電流源などの能動負荷を接続していないことを特徴としている。

【0043】垂直走査信号(VSCAN)及び水平走査信号(HSCAN)により、逐次、各単位画素101のMOSトランジスタ112を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号

(Vout)が信号出力回路105から読み出される。上記の信号出力回路105の詳細を図2に示す。図2に示すように、光信号検出用MOSトランジスタ112のソース領域と接続した垂直出力線20aは分岐し、一つは第1のスイッチ回路CK1を介して光信号電圧と光発生電荷の蓄積前の残留電荷による雑音電圧とを含む第1のソース電位を記憶する第1のラインメモリLmsの一端と接続し、他は第2のスイッチ回路CK2を介して上記雑音電圧のみを記憶する第2のラインメモリLmnの一端と接続している。さらに、信号出力回路105の前段、即ち分岐点の手前の垂直出力線20a上に高電圧ブロック用スイッチ回路CK7を有している。これにより、後で説明する昇圧走査回路(高圧供給回路)108からの高電圧が信号出力回路105に入力されるのを選択的に阻止することができるようになっている。

【0044】また、第1のラインメモリLmsの一端はHSCAN供給線27aにより制御される第3のスイッチ回路CK3を介して第1の演算増幅器31の負入力端子に接続し、第2のラインメモリLmnの一端はHSCAN供給線27aにより制御される別の第4のスイッチ回路CK4を介して第1の演算増幅器31の正入力端子に接続している。さらに、第1の演算増幅器31の正出力端子は第2の演算増幅器32の負入力端子に接続し、第1の演算増幅器31の負出力端子は第2の演算増幅器32の正入力端子に接続している。第2の演算増幅器32の出力端子は水平出力線26を通して映像信号出力端子107に接続している。

【0045】第1の演算増幅器31の負入力端子と正出力端子の間に帰還キャパシタCfs及びリセットスイッチ回路RSTsが並列接続され、正入力端子と負出力端

14

子の間に帰還キャパシタCfn及びリセットスイッチ回路RSTnが並列接続されている。また、第1及び第2のラインメモリLms, Lmnにプリセット電圧Vmpを印加するための回路を有する。これにより、第1及び第2のラインメモリLms, Lmnにソース電位を記憶させる前に、接地電位よりも高く、かつ記憶させるソース電位よりも低いプリセット電圧を記憶させておき、光信号検出用絶縁ゲート型電界効果トランジスタ112のゲート電極19に接地電位を印加しているときにも確実に絶縁ゲート型電界効果トランジスタ112の動作を抑え、リーク電流を抑制することができる。

【0046】第1及び第3のスイッチ回路CK1, CK3と、第1のラインメモリLmsと、帰還キャパシタCfs及びリセットスイッチ回路RSTsが接続された部分の第1の演算増幅器31とは第1のスイッチトキャパシタ回路を構成している。また、第2及び第4のスイッチ回路CK2とCK4と、第2のラインメモリLmnと、帰還キャパシタCfn及びリセットスイッチ回路RSTnが接続された部分の第1の演算増幅器31とは第2のスイッチトキャパシタ回路を構成している。リセットスイッチ回路RSTs, RSTnは、帰還キャパシタCfs, Cfnに充電された電荷を除去するときに閉じる。

【0047】上記信号出力回路105内のスイッチ回路類(CK1乃至CK7, RSTs, RSTn)は、該当配線路を開閉することを機能的に示すため図2のような形で模式的に示しているが、実際には図3に示すように、この実施の形態に説明した回路動作が適切に行われるようにMOSトランジスタ等を単独で又は組み合わせで用いる。ここで、第1のスイッチ回路CK1及び第2のスイッチ回路CK2としてともに、pチャネルMOSトランジスタとnチャネルMOSトランジスタとが並列接続された所謂トランスミッションゲートを用いているほかは、CK3乃至CK7はすべてnチャネルMOSを用いている。

【0048】第1のスイッチ回路CK1及び第2のスイッチ回路CK2としてともに、CMOSトランジスタからなるトランスミッションゲートを用いているのは、より高い信号電圧を歪みなく通せるようにするためである。また、トランスミッションゲートを用いていることに合わせてnチャネルMOSは閾値の低いデプリーション型のものを用いることが好ましい。

【0049】この実施の形態では、第1及び第2のスイッチトキャパシタ回路で一つの第1の演算増幅器31を共用しており、これによりコモンモードノイズを低減させる効果があるが、場合により別々の演算増幅器(第3及び第4の演算増幅器)を設けてもよい。この場合、別々の演算増幅器はそれぞれ正及び負入力端子を有するが、各々の演算増幅器における正及び負入力端子のうち負入力端子にラインメモリが接続され、正入力端子の方

(9)

15

は接地電位にセットしておく。

【0050】また、昇圧走査回路（高圧供給回路）108を有し、昇圧走査回路108からの各昇圧電圧出力線30a、30bが各垂直出力線20a、20bに接続されている。即ち、列毎に各単位画素101のMOSトランジスタ112のソース領域に昇圧された電圧が印加される。昇圧された電圧はさらにゲートソース間の容量を通して結果的にゲートにかかる。これにより、ウェル領域にかかる電界強度を増して、キャリアの掃き出しを促進することができる。

【0051】図4は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。また、図5は本発明に係るMOS型イメージセンサを動作させるための信号出力回路105内の各入出力信号のタイミングチャートを示す。この場合、p型の第1及び第2のウェル領域15a、15bを用い、かつ光信号検出用MOSトランジスタ112がnMOSの場合に適用する。

【0052】次に、図4及び図5にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、前記したように、蓄積期間一読出期間一初期化期間（掃出期間）からなる一連の過程を繰り返す。ここでは、都合上、蓄積期間から説明を始める。まず、蓄積期間において、光信号検出用MOSトランジスタ112のゲート電極19に低いゲート電圧を印加し、ドレイン領域17a、17bにトランジスタの動作に必要な約2〜3Vの電圧（VDD）を印加する。このとき、第1のウェル領域15a、第2のウェル領域15b及びエピタキシャル層12が空乏化する。このとき、ドレイン領域17a、17bからソース領域16に向かう電界が生じる。

【0053】そして、読出期間直前の蓄積期間において、昇圧走査回路108の出力端を接地電位（MOSトランジスタ112のソース電位となる）とする。このとき、VSCAN駆動走査回路102の出力端は接地電位（MOSトランジスタ112のゲート電位となる）となっており、VDD駆動走査回路103の出力（Vpdn）は凡そ3.3Vとなっている。

【0054】続いて、受光ダイオード111に光を照射して、電子-正孔対（光発生電荷）を生じさせる。上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用MOSトランジスタ112のゲート領域15bに注入され、かつキャリアポケット25に蓄積される。これにより、チャネル領域からその下のゲート領域15bに広がる空乏層幅が制限されるとともに、そのソース領域16付近のポテンシャルが変調されて、MOSトランジスタ112の閾値電圧が変化する。

【0055】なお、蓄積期間において、ラインメモリLms、Lmnに記憶されたソース電位の差の電圧が映像信号出力端子107に出力されるが、この動作に関して

16

はブランキング期間の後に説明することにする。次に、読出期間の前半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第2のスイッチ回路CK2を開放して、第1のスイッチ回路CK1とソース領域との間を導通させるとともに、第2のラインメモリLmnとソース領域との間を非導通とする。また、VSCAN駆動走査回路102の出力（VPGn）を接地電位（MOSトランジスタ112のゲート電位となる）とする。同時に、信号出力回路105の第1のスイッチ回路CK1を閉じるとともにプリチャージスイッチ回路CK5を閉じて第1のラインメモリLmsにプリセット電圧Vmpr（1.6V（MOSトランジスタ112のソース電位となる））を記憶させておく。一方、VDD駆動走査線22aは凡そ3.3Vに保たれている。

【0056】次に、読出期間の後半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第2のスイッチ回路CK2を開放したままにして、第1のスイッチ回路CK1とソース領域との間を導通させておく。VSCAN駆動走査回路102の出力（VPGn）を凡そ2.2V（MOSトランジスタ112のゲート電位となる）とする。一方、VDD駆動走査線22aは凡そ3.3V（MOSトランジスタ112のドレイン電位となる）に保たれている。

【0057】即ち、ゲート電極19にMOSトランジスタ112が飽和状態で動作しうる約2〜3Vのゲート電圧を印加し、ドレイン領域17a、17bにMOSトランジスタ112が動作しうる約2〜3Vの電圧VDDを印加する。これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSトランジスタ112のドレイン電圧-電流特性は、図10に示すように、飽和特性を示す。

【0058】これにより、図5（a）に示すように、第1のラインメモリLmsが充電されていく。そして、充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第1のラインメモリLmsに光変調された閾値電圧（ソース電位Vouts）が記憶される。この閾値電圧には光発生電荷のみによる電圧の他に光発生電荷によらない電荷に起因した電圧（即ち雑音電圧（Voutn）と称する。）も含んでいる。

【0059】読出期間の終了後、高電圧ブロック用スイッチ回路CK7を開放するとともに、第1のスイッチ回路CK1及びプリチャージスイッチ回路CK5を開放する。次に、初期化動作に移る。初期化動作においてはキャリアポケット25内、第1及び第2のウェル領域15a、15b内に残る電荷を排出する。即ち、昇圧走査回路108から光信号検出用MOSトランジスタ112のソースに6.6Vを加えることにより、光信号検出用



(10)

17

MOSトランジスタ112の容量を通してドレインの電位を6.6Vとし、かつソースゲート間の容量を介してゲート電極19の電位をすでに充電されている2Vに加えて凡そ8.6Vとする。

【0060】このとき、ゲート電極19に印加した電圧は第2のウェル領域15b及び第2のウェル領域15bの下のエピタキシャル層12にかかる。このとき発生する高電界により第2のウェル領域15bから確実にキャリアを掃き出すことができる。このように、昇圧走査回路108を備えることにより低い電源電圧でより確実にキャリアを掃き出すことができる。

【0061】また、高電圧ブロック用スイッチ回路CK7は開放されているので、第1のスイッチ回路CK1とソース領域との間及び第2のスイッチ回路CK2とソース領域との間是非導通となっている。従って、第1のスイッチ回路CK1及び第2のスイッチ回路CK2を構成するトランスマッションゲートのpチャネルMOSのソース/ドレイン領域にキャリアを掃き出すための高い電圧が印加されることもなく、それらの誤動作を防止することができる。

【0062】高濃度埋込層25に蓄積された光発生電荷を排出した後、蓄積期間の前のブランキング期間の前半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第1のスイッチ回路を開放して第2のスイッチ回路CK2とソース領域との間を導通させるとともに、第1のラインメモリLmsとソース領域との間を非導通とする。また、VSCAN駆動走査回路102の出力

(VPGn)を接地電位(MOSトランジスタ112のゲート電位となる)とし、同時にVDD駆動走査回路103の出力(Vp'd'n)を3.3V(MOSトランジスタ112のドレイン電位となる)とする。また、プリチャージスイッチ回路CK6と第2のスイッチ回路CK2を閉じて、絶縁ゲート型電界効果トランジスタ112のソース領域に第2のラインメモリLmnを接続する。これにより、第2のラインメモリLmnにプリセット電圧Vmpr(1.6V(MOSトランジスタ112のソース電位となる))を記憶させておく。

【0063】次に、ブランキング期間の後半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第1のスイッチ回路CK1を開放したままにして、第2のスイッチ回路CK2とソース領域との間を導通させておく。また、VSCAN駆動走査回路102の出力(VPGn)を凡そ2.2V(MOSトランジスタ112のゲート電位となる)とする。一方、VDD駆動走査線22aは凡そ3.3Vに保たれている。

【0064】これにより、キャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSトランジスタ112のソースにドレイン電流が流れて、ドレイン電圧-電流特性は、図8に示す

18

ように、閾値電圧に従って飽和特性を示す。これにより、図5(a)に示すように、第2のラインメモリLmnが充電されていく。充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第2のラインメモリLmnに光発生電荷によらない残留電荷に起因した雑音電圧(VoutN)が記憶される。

【0065】ブランキング期間の終了後、第2のスイッチ回路CK2及びプリチャージスイッチ回路CK6を開放する。次いで、蓄積期間に戻るが、このときに蓄積動作を行うとともに、ラインメモリLms、Lmnに記憶されているソース電位VoutS、VoutNの差の電圧を出力する動作を行う。以下に、ソース電位を出力する動作を説明する。

【0066】即ち、第3のスイッチ回路CK3及び第4のスイッチ回路CK4を閉じて、両ラインメモリLms、Lmnに記憶させたソース電位VoutS、VoutNを第1の演算増幅器31の負入力端子と正入力端子にそれぞれ入力させる。このとき、リセットスイッチ回路RSTs及びRSTnはともに開放されている。これにより、各ラインメモリLms、Lmnの電荷は各帰還キャパシタCfs、Cfnに移動し、第1の演算増幅器31の正及び負出力端子にそれぞれ-VoutS、-VoutNが出力する。

【0067】この-VoutS、-VoutNは、第2の演算増幅器32の負入力端子及び正出力端子にそれぞれ入力されて、第2の演算増幅器32の出力端子からVoutS、VoutNの差の電圧(VoutS-VoutN)が出力される。このようにして、光照射量に比例した映像信号(Vout=VoutS-VoutN)を取り出すことができる。

【0068】以上のように、この発明の実施の形態によれば、画素内の光信号検出用絶縁ゲート型電界効果トランジスタとしてチャネル下に高濃度埋込層25を設け、光発生電荷をチャネル下に蓄積する閾値変調型の光信号検出用絶縁ゲート型電界効果トランジスタ112を用いているため、チャネル長が長い。このため、ドレイン領域17a、17bからの電界も緩和されているので、ドレイン誘起バリヤ低下(DIBL)が抑制される。従って、閾値変動が小さく、ひいてはサブスレッショルド電流の変動も小さいので、充電電流を最小化できる。これにより、配線等の寄生抵抗による電位低下を抑制することができるため、容量性負荷との直結が可能となる。

【0069】また、ラインメモリLms、Lmnへの書き込みには有限の時間を必要とするが、ラインメモリLms、Lmnへの書き込み時間はブランキング期間や読出期間と比較して大幅に短い。このため、ラインメモリLms、Lmnへの書き込みはブランキング期間等中に行うことができる。ところで、複数のラインメモリを並列に並べるとそれらの寄生容量が読み出すべきラインメ

(11)

19

メモリに並列に入るが、読み出すべきラインメモリに記憶させた第1及び第2のソース電位はスイッチトキャパシタ回路を通して出力される。このとき、スイッチトキャパシタ回路内では第1の演算増幅器31により電荷移動が行われるためスイッチトキャパシタ回路の出力側から見た寄生容量は小さくなる。

【0070】このため、複数のラインメモリを並列に並べても読み出し速度はほとんど影響を受けない。また、寄生容量の影響が小さいため、最大利得が得られるという利点もある。また、光信号検出用MOSトランジスタ112のソース領域に昇圧走査回路122を接続することにより、低い電源電圧でより確実にキャリアを掃き出すことができる。

【0071】また、第1のスイッチ回路CK1及び第2のスイッチ回路CK2と光信号検出用MOSトランジスタ112のソース領域の間に高電圧ブロック用スイッチ回路CK7を入れて、高濃度埋込層25に蓄積された光発生電荷を掃き出させるための高い電圧を印加する初期化期間に第1のスイッチ回路CK1とソース領域との間及び第2のスイッチ回路CK2とソース領域との間をともに非接続とすることにより、第1のスイッチ回路CK1及び第2のスイッチ回路CK2としてともにCMOSトランジスタからなるトランスミッションゲートを用いた場合でも、トランスミッションゲートの誤動作を防止することができる。

【0072】さらに、蓄積動作—読出動作—掃出動作（初期化動作）の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0073】例えば、上記の実施の形態では、図2に示すように、第1のラインメモリLms及び第2のラインメモリLmnの方にそれぞれ分岐する手前の垂直出力線20a上に高電圧ブロック用スイッチ回路CK7を有しているが、図6に示すように、光信号検出用MOSトランジスタ112のソース領域と接続した垂直出力線20aから第1のラインメモリLms及び第2のラインメモリLmnの方に分岐した分岐配線上にそれぞれ第1の高電圧ブロック用スイッチ回路CK8及び第2の高電圧ブロック用スイッチ回路CK9を設けてもよい。

【0074】この場合、図7に示すような駆動方法となる。即ち、読出期間において、第1の高電圧ブロック用スイッチ回路CK8を閉じて第1のラインメモリLmsとソース領域とを接続させ、ブランキング期間に第2の高電圧ブロック用スイッチ回路CK9を閉じて第2のラインメモリLmnとソース領域とを接続させる。初期化

20

期間では、第1及び第2の高電圧ブロック用スイッチ回路CK8、CK9をともに開いて第1のラインメモリLmsとソース領域との間及び第2のラインメモリLmnとソース領域との間をともに非接続とする。

【0075】また、上記の実施の形態では、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウエル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウエル層を形成し、このn型ウエル層内に第1及び第2のウエル領域15a、15bを形成してもよい。

【0076】さらに、この発明が適用される固体撮像素子の構造として種々の変形例が考えられるが、他の構造はどうであれ、受光ダイオードと光信号検出用のMOSトランジスタとが隣接して単位画素を構成し、かつMOSトランジスタのチャネル領域下のp型のウエル領域内であってソース領域の近傍に高濃度埋込層（キャリアポケット）が設けられていればよい。

【0077】さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0078】

【発明の効果】以上のように、本発明によれば、画素内の光信号検出用絶縁ゲート型電界効果トランジスタとしてチャネル下に高濃度埋込層を設け、光発生電荷をチャネル下に蓄積する閾値変調型の光信号検出用絶縁ゲート型電界効果トランジスタを用いているので、チャネル長が長い。

【0079】このため、閾値電圧の変動が小さく、ひいてはサブスレッショルド電流の変動も小さいので、充電電流を最小化できる。これにより、配線等の寄生抵抗による電位低下を抑制することができるため、容量性負荷との直結が可能となる。また、読み出すべきラインメモリに記憶させた第1及び第2のソース電位はスイッチトキャパシタ回路を通して出力されるが、スイッチトキャパシタ回路内では第1の演算増幅器により電荷移動が行われるため、複数のラインメモリを並列に並べた場合でも、スイッチトキャパシタ回路の出力側から見た寄生容量は小さくなる。このため、複数のラインメモリを並列に並べても読み出し速度はほとんど影響を受けず、かつ最大利得が得られる。

【0080】また、信号出力回路の前段、即ち第1のスイッチ回路及び第2のスイッチ回路と光信号検出用絶縁ゲート型電界効果トランジスタのソース領域との間に高電圧ブロック用スイッチ回路を入れているので、第1のスイッチ回路及び第2のスイッチ回路としてともにCMOSトランジスタからなるトランスミッションゲートを



(12)

21

用いた場合でも、ソース領域に高電圧が印加される初期化期間にトランSMISSIONゲートの誤動作を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像装置の全体の回路構成を示す図である。

【図2】図1の固体撮像装置の信号出力回路の詳細構成を示す回路図である。

【図3】図2の信号出力回路のラインメモリ部分の詳細構成を示す回路図である。

【図4】図1の固体撮像装置を動作させる際のタイミングチャートである。

【図5】(a)は、図2の信号出力回路を動作させる際の一連のタイミングチャートのうち、読出期間におけるタイミングチャートであり、同図(b)はブランキング期間におけるタイミングチャートである。

【図6】この発明の他の実施の形態に係る信号出力回路のラインメモリ部分の詳細構成を示す回路図である。

【図7】(a)は、図6の信号出力回路を動作させる際の一連のタイミングチャートのうち、読出期間におけるタイミングチャートであり、同図(b)はブランキング期間におけるタイミングチャートである。

【図8】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図9】(a)は、本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の単位画素内の素子の構造を示す、図8のA-A線に沿う断面図である。(b)は、光発生ホールがキャリアポケットに蓄積し、チャンネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図10】本発明の実施の形態に係る固体撮像装置に用いられる固体撮像素子の光信号検出用MOSトランジスタのドレイン電流-電圧特性を示すグラフである。

【図11】(a)は、従来例に係る固体撮像装置の全体の回路構成を示す図であり、(b)は、(a)の固体撮像装置を動作させる際のタイミングチャートである。

【符号の説明】

15a 第1のウェル領域

22

15b 第2のウェル領域

15c チャンネルドープ層

16a 低濃度のソース領域

16b 高濃度のソース領域(コンタクト層)

17 不純物領域

17a 低濃度のドレイン領域

17b 高濃度のドレイン領域(コンタクト層)

18 ゲート絶縁膜

19 ゲート電極

10 20a、20b 垂直出力線

21a、21b VSCAN供給線

22a、22b VDD供給線

25 キャリアポケット(高濃度埋込層)

26 水平出力線

27a、27b HSCAN供給線

30a、30b 昇圧電圧供給線

31 第1の演算増幅器

32 第2の演算増幅器

101 単位画素

20 102 VSCAN駆動走査回路

103 VDD駆動走査回路

104 HSCAN入力走査回路

105 信号出力回路

107 映像信号出力端子

108 昇圧走査回路(高圧供給回路)

111 受光ダイオード

112 光信号検出用絶縁ゲート型電界効果トランジスタ(光信号検出用MOSトランジスタ)

CK1 第1のスイッチ回路

30 CK2 第2のスイッチ回路

CK3 第3のスイッチ回路

CK4 第4のスイッチ回路

CK5、CK6 プリチャージスイッチ回路

CK7 高電圧ブロック用スイッチ回路

CK8 第1の高電圧ブロック用スイッチ回路

CK9 第2の高電圧ブロック用スイッチ回路

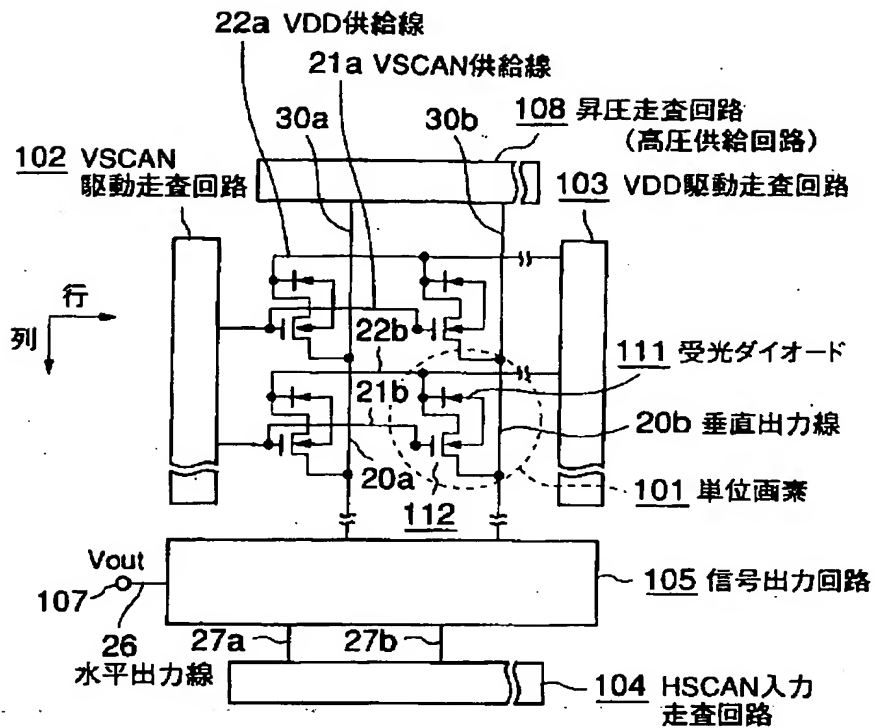
Lms 第1のラインメモリ(第1のメモリ)

Lmn 第2のラインメモリ(第2のメモリ)

RSTs、RSTn リセットスイッチ回路

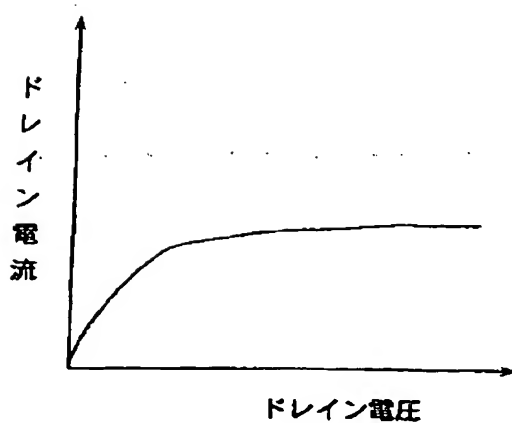
(13)

【図1】



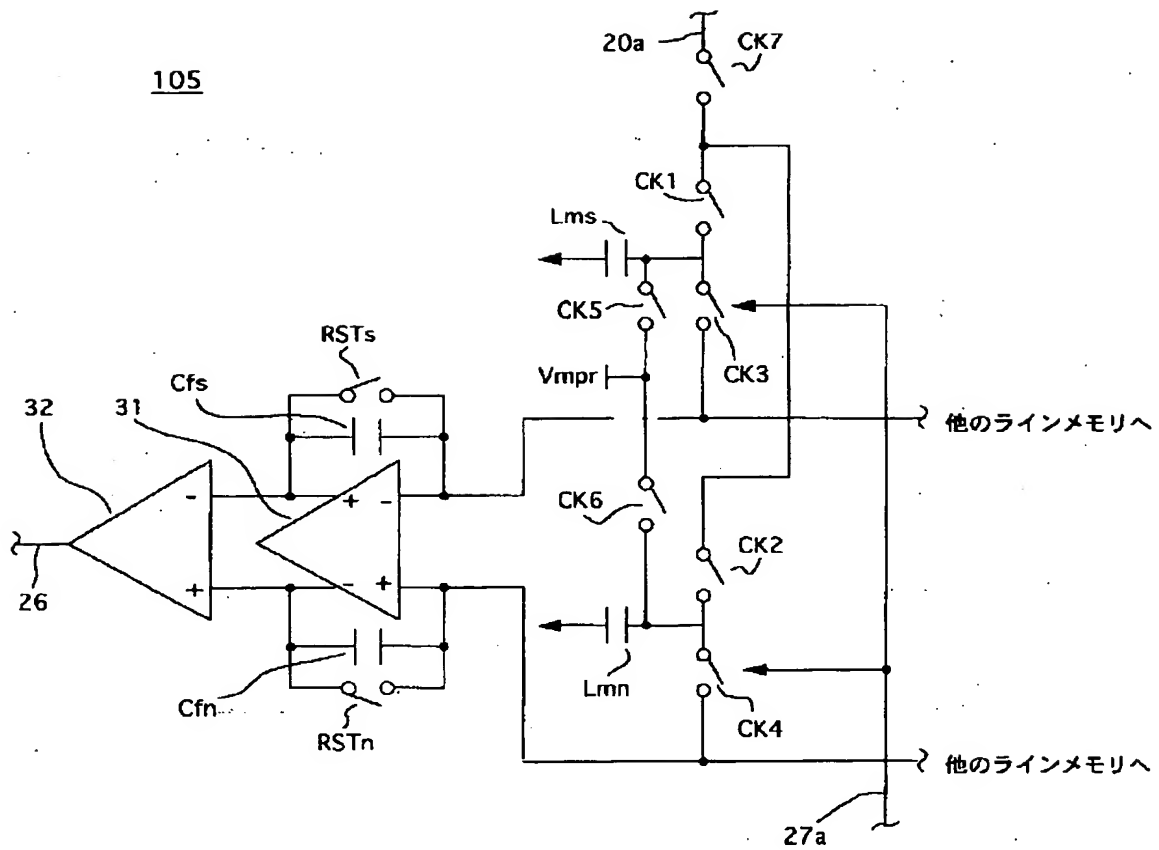
27a, 27b: HSCAN供給線  
 107: 映像信号出力端子  
 112: 光信号検出用MOSトランジスタ

【図10】



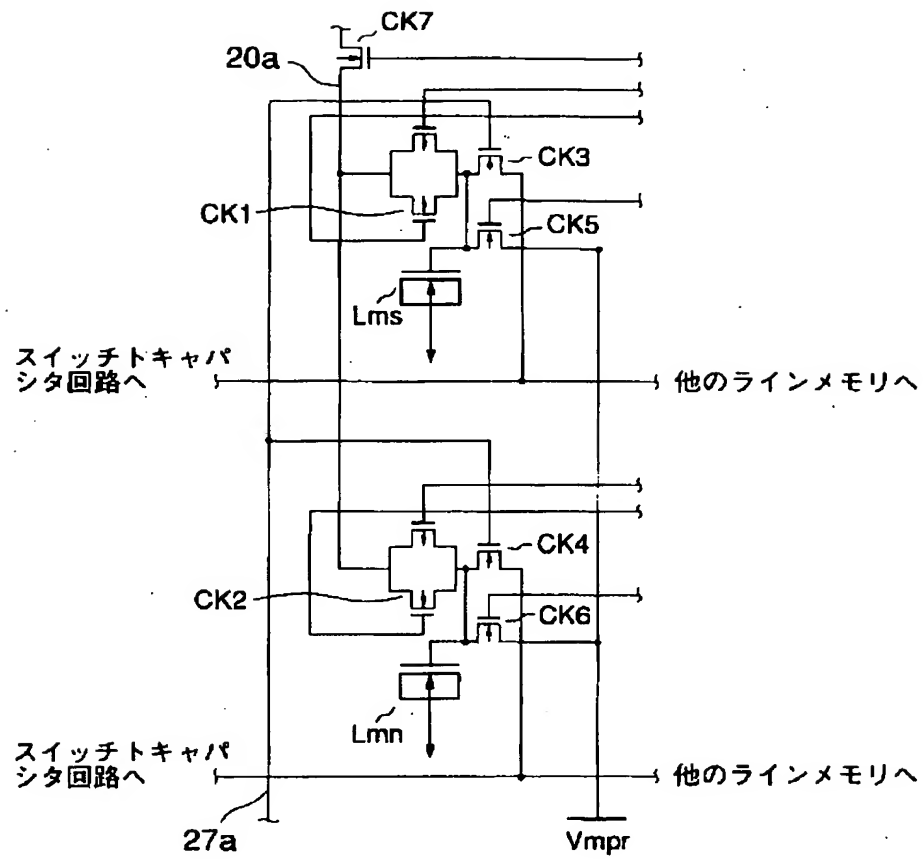
(14)

【図2】



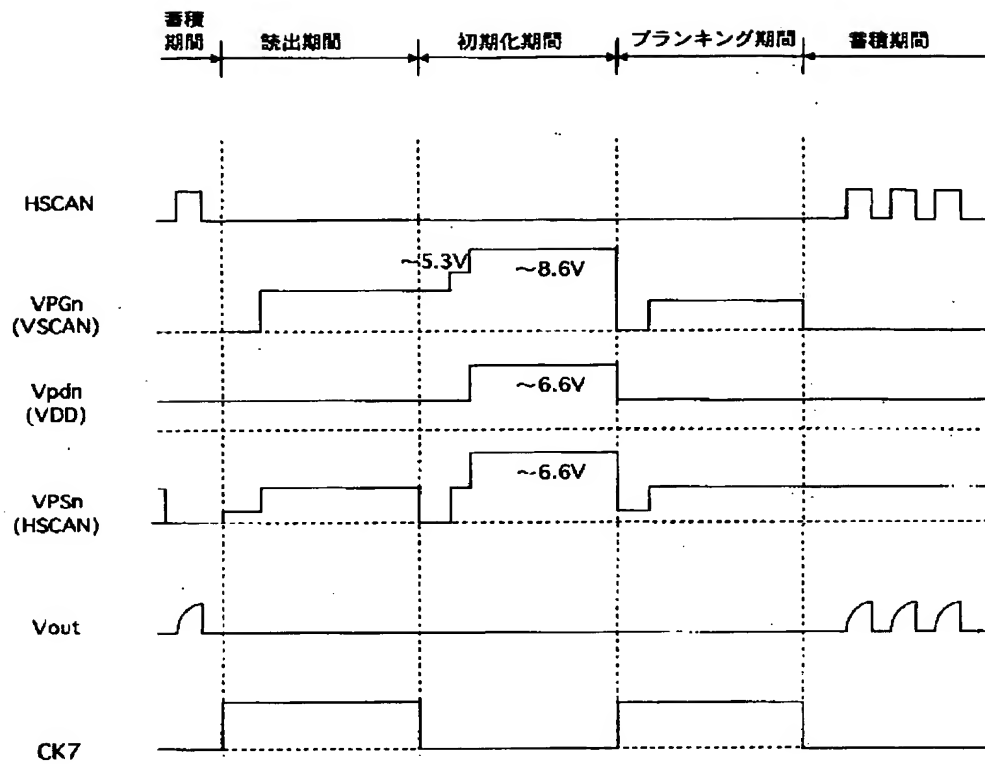
(15)

【図3】

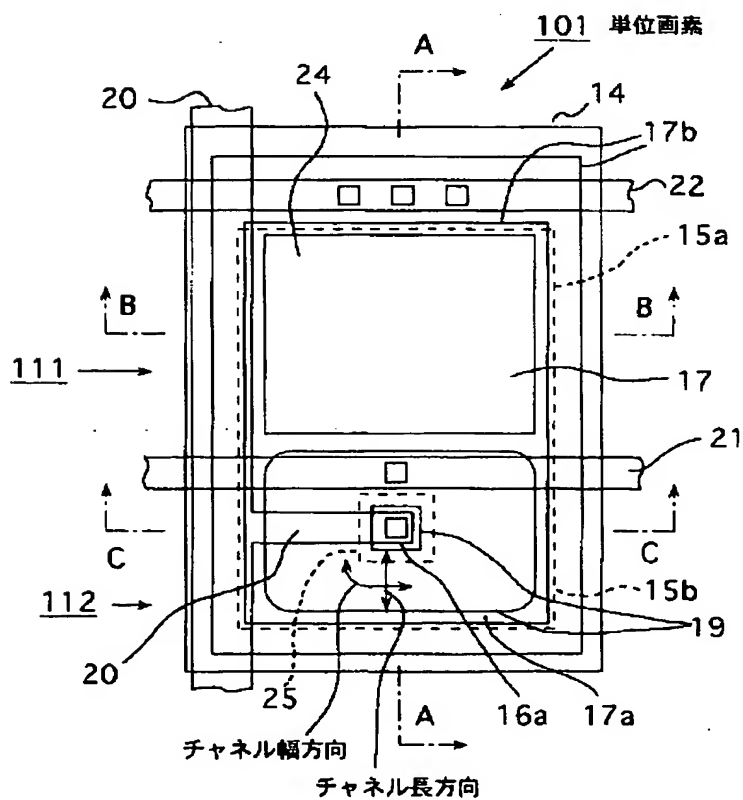


(16)

【図 4】

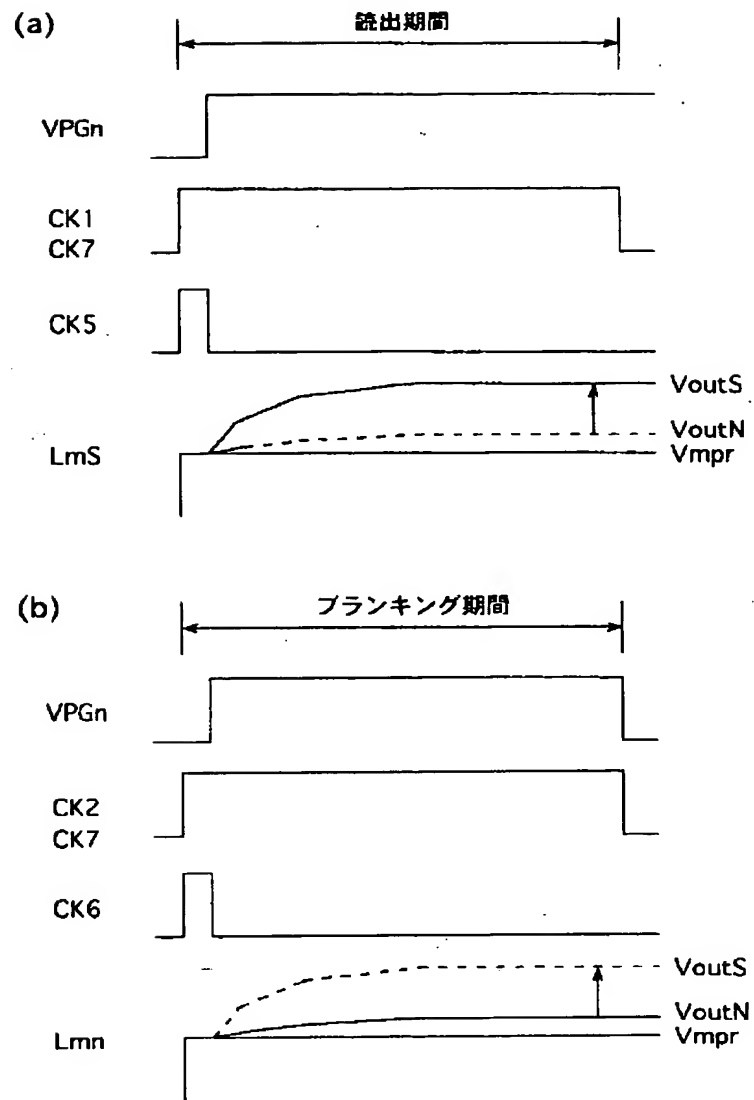


【図 8】



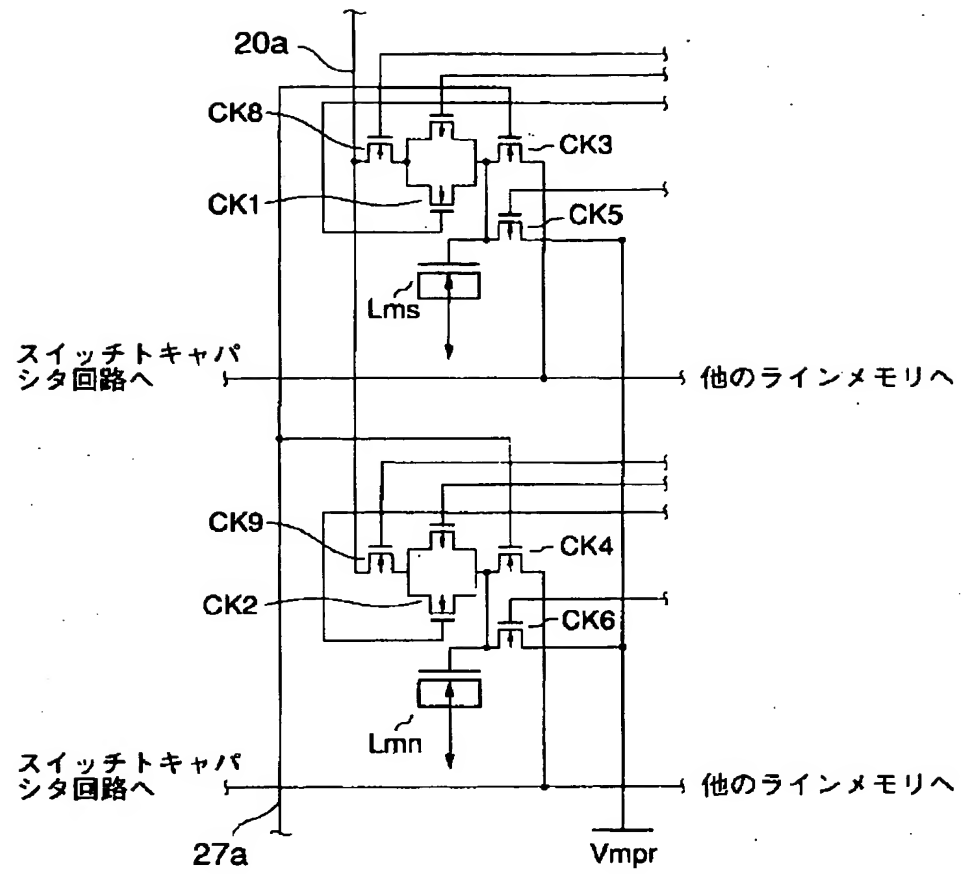
(17)

【図5】



(18)

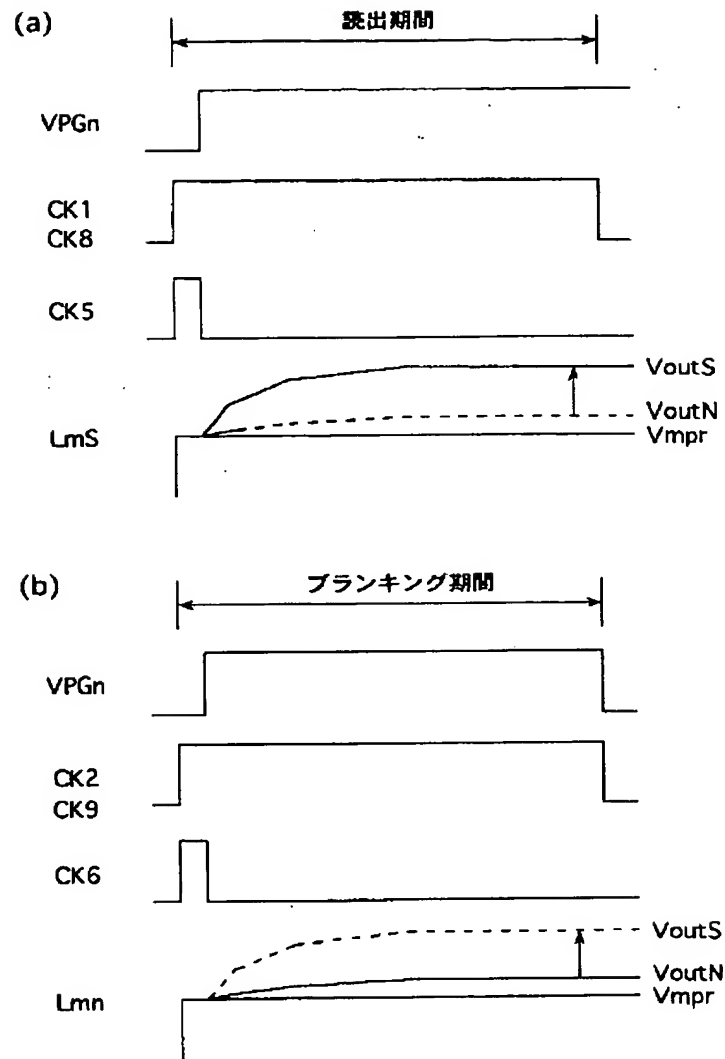
【図6】





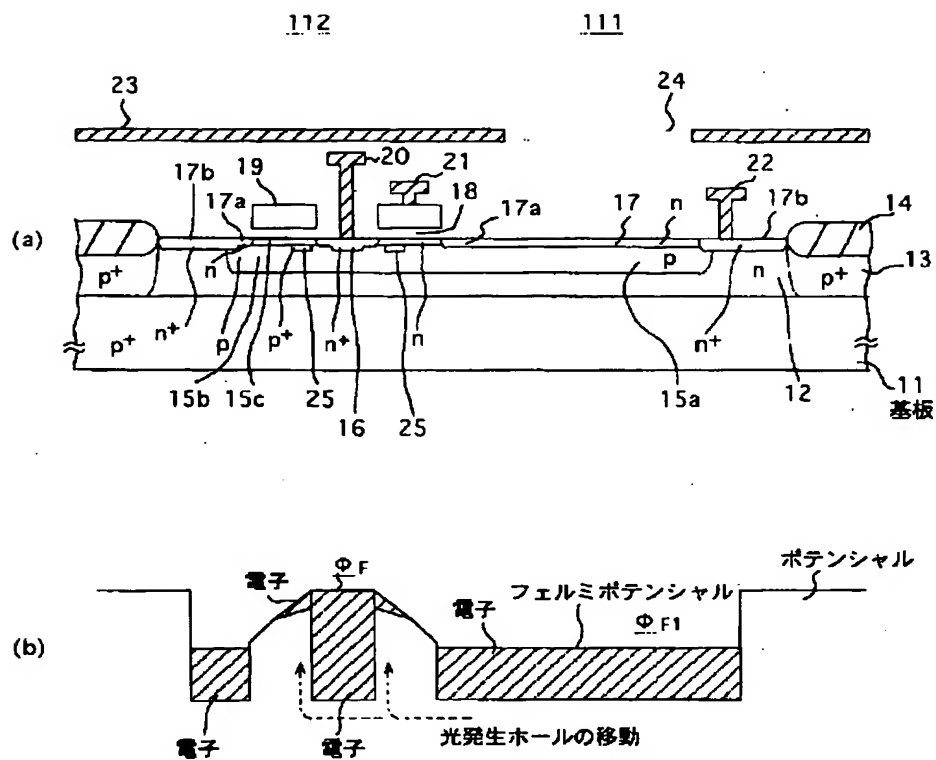
(19)

【図 7】



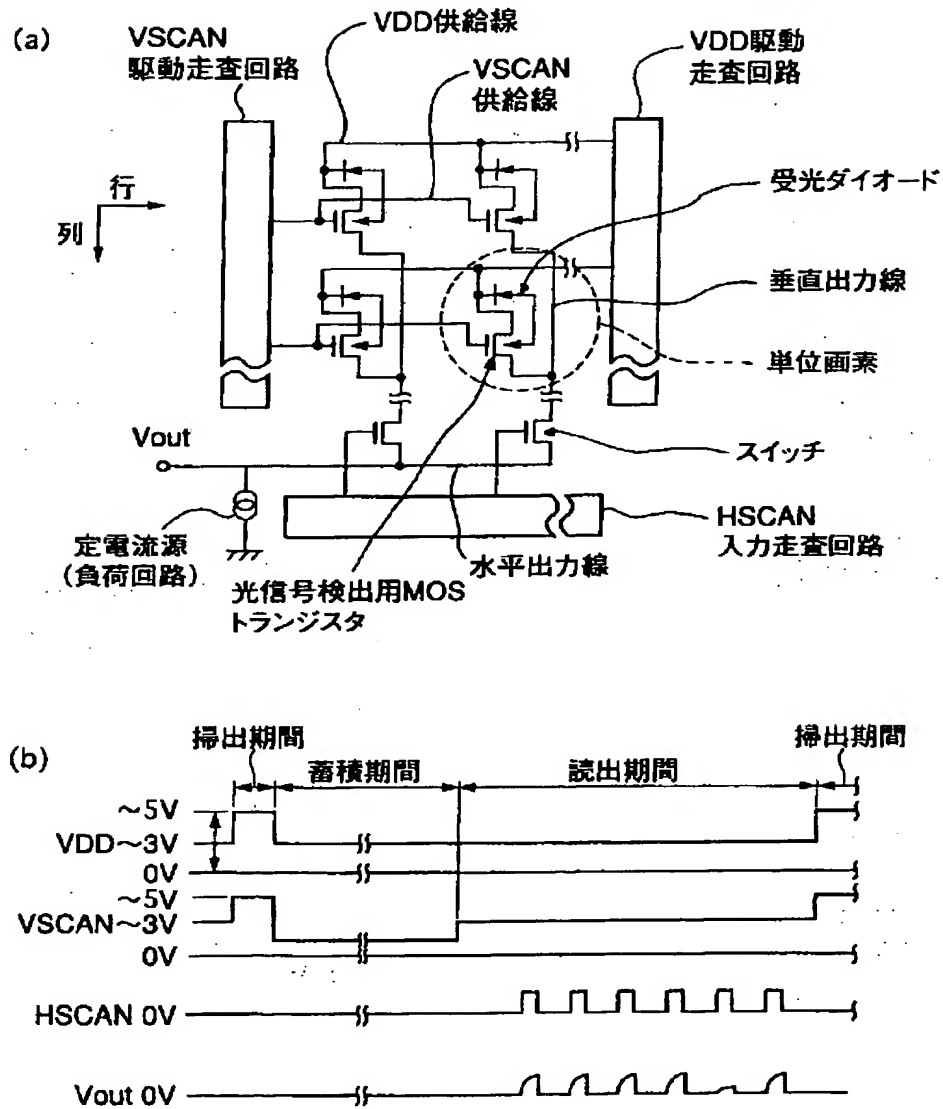
(20)

【図9】



(21)

【図11】



フロントページの続き

F ターム(参考) 4M118 AA06 AB01 BA14 CA03 DD10  
 DD12 FA06 FA39 FA42 GB07  
 GB11  
 5C024 CX27 GX03 GY31 GY35 GY38  
 HX29 HX57  
 5F049 MA02 NA17 NB05 RA02 RA08  
 UA01 UA14

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成16年11月11日(2004.11.11)

【公開番号】特開2001-298662(P2001-298662A)  
 【公開日】平成13年10月26日(2001.10.26)  
 【出願番号】特願2000-111140(P2000-111140)  
 【国際特許分類第7版】

H O 4 N 5/335  
 H O 1 L 27/146  
 H O 1 L 31/10

## 【F I】

H O 4 N 5/335 E  
 H O 1 L 27/14 A  
 H O 1 L 31/10 G

## 【手続補正書】

【提出日】平成15年11月18日(2003.11.18)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

## 【請求項1】

受光ダイオードと、一導電型の半導体層内に形成された反対導電型のソース領域及びドレイン領域、該ソース領域とドレイン領域の間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極、及び該ゲート電極下でチャネル領域下の前記一導電型の半導体層内に設けられ、前記受光ダイオードで光照射により発生した光発生電荷を蓄積する一導電型の高濃度埋込層を有し、前記受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備えた単位画素を有し、前記光発生電荷を前記高濃度埋込層に蓄積して前記チャネル領域の閾値電圧を変調させて光信号を検出する固体撮像素子と、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を出力する垂直走査信号駆動走査回路と、前記高濃度埋込層に蓄積された前記光発生電荷を掃き出すために、ゲート電極の電位を既に充電されている状態に保持した状態で、ソースゲート間の容量を介してゲート電圧を昇圧するためにソース電位を上昇させる高電圧を前記絶縁ゲート型電界効果トランジスタに供給する高圧供給回路と、前記光発生電荷を前記高濃度埋込層に蓄積した状態での第1のソース電位を第1の入力に輸入し、前記光発生電荷を前記高濃度埋込層から掃き出した状態での第2のソース電位を第2の入力に輸入し、それらの入力に対応した電圧を出力する信号出力回路とを有し、前記信号出力回路の前段に前記高圧供給回路からの高電圧の供給によって高電位となったソース電圧の入力を阻止する高電圧ブロック用スイッチ回路を備えたことを特徴とする固体撮像装置。

## 【請求項2】

前記信号出力回路は、第1のメモリ、第2のメモリ、第1のスイッチ回路、第2のスイッチ回路、第3のスイッチ回路、第4のスイッチ回路、及び前記第1の演算増幅器を有するスイッチトキャパシタ回路と、第2の演算増幅器を有する演算増幅回路とを備え、前記第3の演算増幅器は、正及び負入力端子と正及び負出力端子とを有し、前記負入力端子と前記正出力端子の間に帰還キャパシタ(C f s)が接続され、かつ前記正入力端子と

前記負出力端子の間に帰還キャパシタ (C f n) が接続され、  
前記第 4 の演算増幅器は、正及び負入力端子と出力端子とを有し、前記第 3 の演算増幅器の正及び負出力端子にそれぞれ前記負及び正入力端子が接続されており、  
前記第 1 のソース電位を前記第 1 のスイッチ回路により選択的に転送して前記第 1 のメモリに記憶させ、前記第 3 のスイッチ回路により前記第 1 のメモリから前記第 3 の演算増幅器の負入力端子に前記第 1 のソース電位を選択的に入力させ、  
前記第 2 のソース電位を前記第 2 のスイッチ回路により選択的に転送して前記第 2 のメモリに記憶させ、前記第 4 のスイッチ回路により前記第 2 のメモリから前記第 3 の演算増幅器の正入力端子に前記第 2 のソース電位を選択的に入力させ、  
前記第 3 の演算増幅器の正出力端子から前記第 4 の演算増幅器の負入力端子に前記第 1 のソース電位を入力させ、かつ前記第 3 の演算増幅器の負出力端子から前記第 4 の演算増幅器の正入力端子に前記第 2 のソース電位を入力させることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記信号出力回路は、第 1 のメモリ、第 1 のスイッチ回路、第 3 のスイッチ回路、及び第 3 の演算増幅器を有する第 1 のスイッチトキャパシタ回路と、第 2 のメモリ、第 2 のスイッチ回路、第 4 のスイッチ回路、及び第 4 の演算増幅器を有する第 2 のスイッチトキャパシタ回路と、演算増幅回路とを備え、  
前記第 1 のソース電位を前記第 1 のスイッチ回路により選択的に転送して前記第 1 のメモリに記憶させ、前記第 3 のスイッチ回路により前記第 1 のソース電位を前記第 1 のメモリから前記第 3 の演算増幅器の入力端子に選択的に転送し、  
前記第 2 のソース電位を前記第 2 のスイッチ回路により選択的に転送して前記第 2 のメモリに記憶させ、前記第 4 のスイッチ回路により前記第 2 のソース電位を前記第 2 のメモリから前記第 4 の演算増幅器の入力端子に選択的に転送し、  
前記第 3 及び第 4 の演算増幅器から出力された前記第 1 及び第 2 のソース電位を前記演算増幅回路に入力し、前記第 1 及び第 2 のソース電位の差の電圧を出力することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記固体撮像装置は、さらに、  
前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、  
前記信号出力回路の第 3 及び第 4 のスイッチ回路の開閉を制御する信号を供給する水平走査信号入力走査回路と、  
前記信号出力回路の出力に接続された映像信号出力端子とを有することを特徴とする請求項 2 又は 3 記載の固体撮像装置。

【請求項 5】

前記第 1 のメモリ及び前記第 2 のメモリにはそれぞれプリセット電圧を印加する手段が接続されていることを特徴とする請求項 2 乃至 4 の何れかに記載の固体撮像装置。

【請求項 6】

前記第 1 のスイッチ回路及び前記第 2 のスイッチ回路はともに、p チャネル MOS トランジスタと n チャネル MOS トランジスタとが並列接続されたトランスミッションゲートであることを特徴とする請求項 2 乃至 5 の何れかに記載の固体撮像装置。

【請求項 7】

前記ソース領域から配線が分岐して前記第 1 のスイッチ回路と前記第 2 のスイッチ回路とに繋がり、前記高電圧ブロック用スイッチ回路は、前記ソース領域と前記配線の分岐点との間に一つ設けられていることを特徴とする請求項 2 乃至 6 の何れかに記載の固体撮像装置。

【請求項 8】

前記高電圧ブロック用スイッチ回路は第 1 の高電圧ブロック用スイッチ回路と第 2 の高電圧ブロック用スイッチ回路とから構成されており、前記ソース領域から配線が分岐して前

記第1のスイッチ回路と前記第2のスイッチ回路とに繋がり、前記第1の高電圧ブロック用スイッチ回路は前記配線の分岐点と前記第1のスイッチ回路との間に設けられ、前記第2の高電圧ブロック用スイッチ回路は前記分岐点と前記第2のスイッチ回路との間に設けられていることを特徴とする請求項2乃至6の何れかーに記載の固体撮像装置。

【請求項9】

前記高電圧ブロック用スイッチ回路、前記第1及び第2の高電圧ブロック用スイッチ回路は、デプリーション型のMOSトランジスタであることを特徴とする請求項7又は8記載の固体撮像装置。

【請求項10】

受光ダイオードと、

一導電型の半導体層内に形成された反対導電型のソース領域及びドレイン領域、該ソース領域とドレイン領域の間のチャンネル領域上にゲート絶縁膜を介して形成されたゲート電極、及び該ゲート電極下で前記チャンネル領域下の前記一導電型の半導体層内に設けられ、前記受光ダイオードで光照射により発生した光発生電荷を蓄積する一導電型の高濃度埋込層を有し、前記受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタと

を備えた単位画素を有し、前記光発生電荷を前記高濃度埋込層に蓄積して前記チャンネル領域の閾値電圧を変調させて光信号を検出する固体撮像素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間と、前記光発生電荷を前記高濃度埋込層から掃き出した状態で雑音電圧を読み出す雑音電圧読出期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、

前記読出期間において、前記高濃度埋込層に光発生電荷を蓄積した後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第1のソース電位を第1のメモリに記憶させ、

次いで、前記初期化期間において、前記ソース領域と前記第1のメモリとの間及び前記ソース領域と第2のメモリとの間を非接続とした上で、前記ゲート電極の電位を既に充電されている状態に保持した状態で、ソースゲート間の容量を介してゲート電圧を昇圧するためにソース電位を上昇させる高電圧を前記絶縁ゲート型電界効果トランジスタに供給して、前記高濃度埋込層に蓄積された前記光発生電荷を掃き出し、

次いで、前記蓄積期間の前に、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第2のソース電位を前記第2のメモリに記憶させ、

次いで、前記蓄積期間において、前記第1及び第2のメモリに記憶させた第1及び第2のソース電位を読み出し、前記第1のソース電位と前記第2のソース電位との差の電圧を出力することを特徴とする固体撮像装置の駆動方法。

【請求項11】

受光ダイオードと、

一導電型の半導体層内に形成された反対導電型のソース領域及びドレイン領域、該ソース領域とドレイン領域の間のチャンネル領域上にゲート絶縁膜を介して形成されたゲート電極、及び該ゲート電極下で前記チャンネル領域下の前記一導電型の半導体層内に設けられ、前記受光ダイオードで光照射により発生した光発生電荷を蓄積する一導電型の高濃度埋込層を有し、前記受光ダイオードに隣接する光信号検出用絶縁ゲート型電界効果トランジスタと

を備えた単位画素を有し、前記光発生電荷を前記高濃度埋込層に蓄積して前記チャンネル領域の閾値電圧を変調させて光信号を検出する固体撮像素子を有する固体撮像装置を用いて、前記受光ダイオードで光照射により発生した光発生電荷を前記高濃度埋込層に蓄積させる蓄積期間と、前記高濃度埋込層に蓄積された光発生電荷に基づく光信号を読み出す読出期間と、前記高濃度埋込層に残留する光発生電荷を排出する初期化期間と、前記光発生電荷を前記高濃度埋込層から掃き出した状態で雑音電圧を読み出す雑音電圧読出期間とをこ

の順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、

前記読出期間において、前記高濃度埋込層に光発生電荷を蓄積した後、第1のメモリにプリセット電圧を記憶させた後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第1のソース電位を前記第1のメモリに記憶させ、

次いで、前記初期化期間において、前記ソース領域と前記第1のメモリとの間及び前記ソース領域と第2のメモリとの間を非接続とした上で、前記ゲート電極の電位を既に充電されている状態に保持した状態で、ソースゲート間の容量を介してゲート電圧を昇圧するためにソース電位を上昇させる高電圧を前記絶縁ゲート型電界効果トランジスタに供給して、前記高濃度埋込層に蓄積された前記光発生電荷を掃き出し、

次いで、前記蓄積期間の前に、前記第2のメモリにプリセット電圧を記憶させた後、前記絶縁ゲート型電界効果トランジスタのソース領域から出力した第2のソース電位を前記第2のメモリに記憶させ、

次に、前記蓄積期間において、前記第1及び第2のメモリに記憶させた第1及び第2のソース電位を読み出し、前記第1のソース電位と前記第2のソース電位との差の電圧を出力することを特徴とする固体撮像装置の駆動方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

【課題を解決するための手段】

上記課題を解決するため、この発明は固体撮像装置に係り、その基本構成として、図1に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ(MOSトランジスタ)112とを含む各单位画素101を有している。各单位画素101においては、受光ダイオード111とMOSトランジスタ112とは相互に接続したウェル領域15a、15bに形成され、MOSトランジスタ112のゲート電極下でチャネル領域下のウェル領域(一導電型の半導体層)15b内に光発生電荷を蓄積する高濃度埋込層(キャリアポケット)25を有していることを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

また、第1及び第2のラインメモリLms、Lmnにプリセット電圧を印加する手段を接続している。

本発明の駆動方法においては、上記固体撮像装置を用いて、光照射により発生した光発生キャリアを高濃度埋込層に蓄積させる蓄積期間と、高濃度埋込層に蓄積された光発生キャリアに基づく光信号を読み出す読出期間と、高濃度埋込層に残留する光発生キャリアを排出する初期化期間と、雑音電圧を読み出す雑音電圧読出期間とをこの順に繰り返して光信号を読み出す固体撮像装置の駆動方法であって、読出期間において、高濃度埋込層に光発生キャリアを蓄積した後、光信号検出用MOSトランジスタのソース領域から出力した第1のソース電位を第1のラインメモリに記憶させ、次いで、初期化期間において、ソース領域と第1のラインメモリとの間及びソース領域と第2のラインメモリとの間をともに非接続とした上で、ソース領域に電圧を印加して高濃度埋込層に蓄積された光発生電荷を排出させ、次いで、蓄積期間の前に、光信号検出用MOSトランジスタのソース領域から出力した第2のソース電位を記憶させ、次いで、第1及び第2のラインメモリに記憶させた第1及び第2のソース電位を読み出し、第1のソース電位と第2のソース電位との差の電

圧を出力している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウェル領域、即ち第1のウェル領域15aと第2のウェル領域（一導電型の半導体層）15bに形成され、それらのウェル領域15a、15bは互いに接続されている。受光ダイオード111の部分の第1のウェル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112の部分の第2のウェル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、受光ダイオード111の受光窓24以外の領域は金属層（遮光膜）23により遮光されている。

上記のMOS型イメージセンサにおける光信号検出のための素子動作においては、蓄積期間－読出期間－初期化期間（掃出期間）－雑音電圧読出期間－蓄積期間・・・というように、蓄積期間－読出期間－初期化期間（掃出期間）－雑音電圧読出期間という一連の過程が繰り返される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

雑音電圧読出期間は、初期化期間と蓄積期間の間に設けられた期間であり、この期間を利用してキャリアポケット25から光発生電荷を掃き出した状態での第2のソース電位を第2のラインメモリに記憶させる。

次に、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造を断面図を用いて説明する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

このエピタキシャル層12に受光ダイオード111と光信号検出用MOSトランジスタ112とを含む単位画素101が複数形成されている。そして、各単位画素101を分離するように、隣接する単位画素101間のエピタキシャル層12表面に、選択酸化（LOCOS）によりフィールド絶縁膜（素子分離絶縁膜）14が形成されている。さらに、フィールド絶縁膜14の下部であって基板11上部に、エピタキシャル層12とフィールド絶縁膜14との界面全体を含み、かつn型のエピタキシャル層12を分離するようにp型の素子分離領域13が形成されている。



## 【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

また、リング状のゲート電極 19 によって囲まれるように n 型のソース領域 16 が形成されている。ソース領域 16 は、中央部が高濃度となっており、周辺部が低濃度となっている。ソース電極 20 はソース領域 16 に接続している。

ゲート電極 19 は、ドレイン領域 17a とソース領域 16 の間の第 2 のウェル領域 15b 上にゲート絶縁膜 18 を介して形成されている。ゲート電極 19 下の第 2 のウェル領域 15b の表層がチャンネル領域となる。さらに、通常の動作電圧において、チャンネル領域を電子の蓄積状態或いはデプレッション状態に保持するため、チャンネル領域に適当な濃度の n 型不純物を導入してチャンネルドープ層 15c を形成している。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

上記した p+ 型のキャリアポケット 25 では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン領域 17a、17b にゲート電圧よりも高い電圧を印加したときに光発生ホールをこのキャリアポケット 25 に集めることができる。

図 9 (b) に光発生ホールがキャリアポケット 25 に蓄積し、チャンネル領域に電子が誘起されて電子の蓄積領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOS トランジスタ 112 の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

次に、図 4 及び図 5 にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、前記したように、蓄積期間—読出期間—初期化期間（掃出期間）—雑音電圧読出期間からなる一連の過程を繰り返し行う。ここでは、都合上、蓄積期間から説明を始める。

まず、蓄積期間において、光信号検出用 MOS トランジスタ 112 のゲート電極 19 に低いゲート電圧を印加し、ドレイン領域 17a、17b にトランジスタの動作に必要な約 2～3 V の電圧（VDD）を印加する。このとき、第 1 のウェル領域 15a、第 2 のウェル領域（一導電型の半導体層）15b 及びエピタキシャル層 12 が空乏化する。このとき、ドレイン領域 17a、17b からソース領域 16 に向かう電界が生じる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

なお、蓄積期間において、ラインメモリ Lms、Lmn に記憶されたソース電位の差の電圧が映像信号出力端子 107 に出力されるが、この動作に関しては雑音電圧読出期間の後

に説明することにする。

次に、読出期間の前半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第2のスイッチ回路CK2を開放して、第1のスイッチ回路CK1とソース領域との間を導通させるとともに、第2のラインメモリLmnとソース領域との間を非導通とする。また、VSCAN駆動走査回路102の出力(VPGn)を接地電位(MOSTランジスタ112のゲート電位となる)とする。同時に、信号出力回路105の第1のスイッチ回路CK1を閉じるとともにプリチャージスイッチ回路CK5を閉じて第1のラインメモリLmsにプリセット電圧Vmp r (1.6 V (MOSTランジスタ112のソース電位となる))を記憶させておく。一方、VDD供給線22aは凡そ3.3 Vに保たれている。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

次に、読出期間の後半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第2のスイッチ回路CK2を開放したままにして、第1のスイッチ回路CK1とソース領域との間を導通させておく。VSCAN駆動走査回路102の出力(VPGn)を凡そ2.2 V (MOSTランジスタ112のゲート電位となる)とする。一方、VDD供給線22aは凡そ3.3 V (MOSTランジスタ112のドレイン電位となる)に保たれている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

即ち、ゲート電極19にMOSTランジスタ112が飽和状態で動作しうる約2~3 Vのゲート電圧を印加し、ドレイン領域17a、17bにMOSTランジスタ112が動作しうる約2~3 Vの電圧VDDを印加する。これにより、キャリアポケット25上方のチャネル領域の一部に低電界の電子の蓄積領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSTランジスタ112のドレイン電圧-電流特性は、図10に示すように、飽和特性を示す。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

高濃度埋込層25に蓄積された光発生電荷を排出した後、蓄積期間の前の雑音電圧読出期間の前半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第1のスイッチ回路を開放して第2のスイッチ回路CK2とソース領域との間を導通させるとともに、第1のラインメモリLmsとソース領域との間を非導通とする。また、VSCAN駆動走査回路102の出力(VPGn)を接地電位(MOSTランジスタ112のゲート電位となる)とし、同時にVDD駆動走査回路103の出力(Vpdn)を3.3 V (MOSTランジスタ112のドレイン電位となる)とする。また、プリチャージスイッチ回路CK6と第2のスイッチ回路CK2を閉じて、絶縁ゲート型電界効果トランジスタ112のソース領域に第2のラインメモリLmnを接続する。これにより、第2のラインメモリLmnにプリセット電圧Vmp r (1.6 V (MOSTランジスタ112のソース電位となる))を記憶させておく。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

次に、雑音電圧読出期間の後半において、高電圧ブロック用スイッチ回路CK7を閉じ、かつ第1のスイッチ回路CK1を開放したままにして、第2のスイッチ回路CK2とソース領域との間を導通させておく。また、VSCAN駆動走査回路102の出力(VPGn)を凡そ2.2V(MOSトランジスタ112のゲート電位となる)とする。一方、VDD供給線22aは凡そ3.3Vに保たれている。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

これにより、キャリアポケット25上方のチャネル領域の一部に低電界の電子の蓄積領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。このとき、MOSトランジスタ112のソースにドレイン電流が流れて、ドレイン電圧-電流特性は、図10に示すように、閾値電圧に従って飽和特性を示す。これにより、図5(a)に示すように、第2のラインメモリLmnが充電されていく。充電が進むにつれてソース電位が上昇していき、ソース電位が閾値電圧に等しくなったところでドレイン電流が流れなくなる。これにより、充電は完了し、第2のラインメモリLmnに光発生電荷によらない残留電荷に起因した雑音電圧(VoutN)が記憶される。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

雑音電圧読出期間の終了後、第2のスイッチ回路CK2及びプリチャージスイッチ回路CK6を開放する。

次いで、蓄積期間に戻るが、このときに蓄積動作を行うとともに、ラインメモリLms、Lmnに記憶されているソース電位VoutS、VoutNの差の電圧を出力する動作を行う。以下に、ソース電位を出力する動作を説明する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

また、ラインメモリLms、Lmnへの書き込みには有限の時間を必要とするが、ラインメモリLms、Lmnへの書き込み時間は雑音電圧読出期間や読出期間と比較して大幅に短い。このため、ラインメモリLms、Lmnへの書き込みは雑音電圧読出期間等中に行うことができる。

ところで、複数のラインメモリを並列に並べるとそれらの寄生容量が読み出すべきラインメモリに並列に入るが、読み出すべきラインメモリに記憶させた第1及び第2のソース電位はスイッチトキャパシタ回路を通して出力される。このとき、スイッチトキャパシタ回路内では第1の演算増幅器31により電荷移動が行われるためスイッチトキャパシタ回路の出力側から見た寄生容量は小さくなる。

## 【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正の内容】

【0072】

さらに、蓄積動作－読出動作－掃出動作（初期化動作）－雑音電圧読出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

## 【手続補正 20】

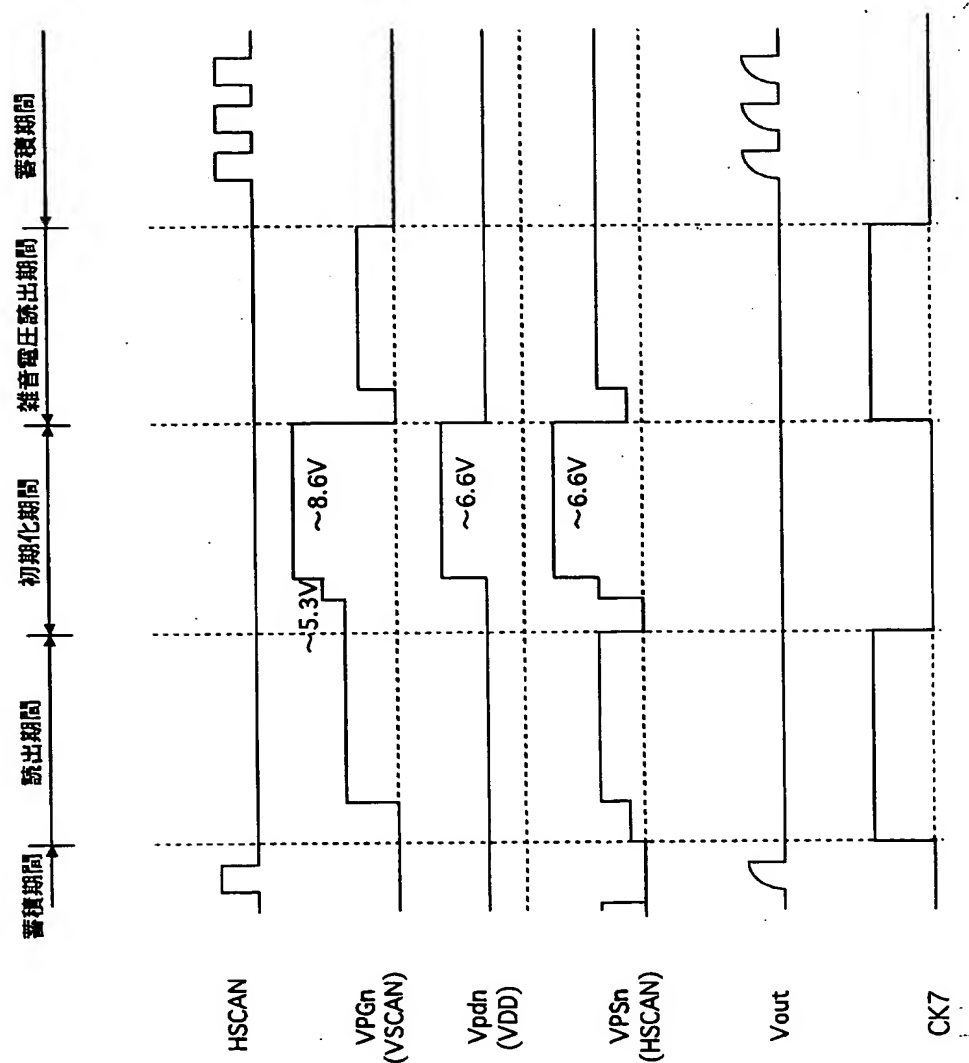
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図 4】



【手続補正 2 1】

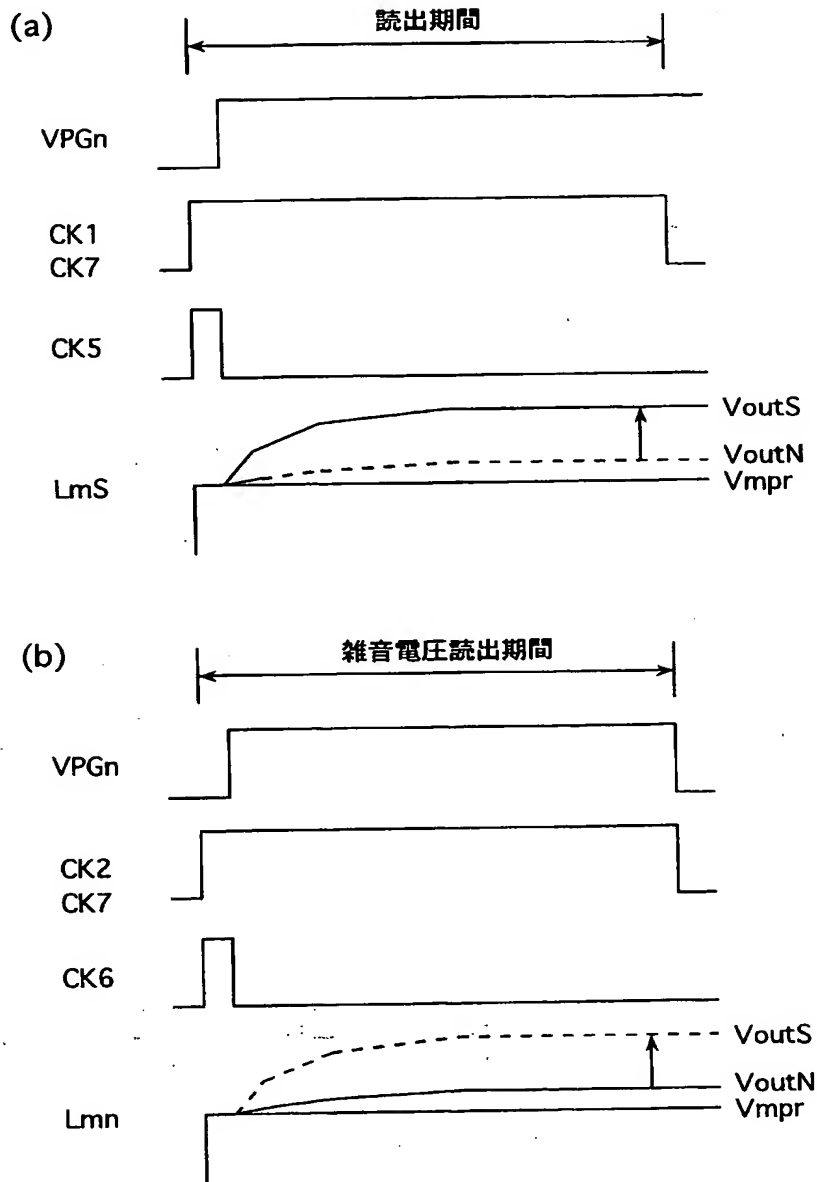
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**